

5.2GHz 無線區域網路 CMOS 低雜訊放大器之設計

許源佳¹、許孟烈^{2*}

¹ 國家晶片系統設計中心

² 國立暨南國際大學 電機工程學系

*E-mail: sheu@ncnu.edu.tw

摘要

隨著科技的進步，人與人之間的聯繫與溝通，已由有線傳送進步到無線傳輸，使得無線通訊系統(wireless communication system)蓬勃發展。在無線通訊系統中，射頻前端電路(RF front end)因為操作頻率較高，仍多採用成本高且整合性低的特殊製程，近年來由於 CMOS 製程的快速發展，射頻前端電路也逐漸使用製作成本低與系統整合性高的 CMOS 製程製作。本論文中，將探討一應用在 5.2GHz 無線區域網路(wireless local area network, WLAN)射頻前端的低雜訊放大器(low noise amplifier, LNA)之設計。

吾人利用台灣積體電路製造公司(TSMC)之 0.25 μ m CMOS 製程設計一應用在 5.2GHz 無線區域網路的低雜訊放大器，並透過國家晶片系統設計中心(Chip Implementation Center, CIC)進行實作與測試。吾人所設計的串接式(cascade)低雜訊放大器可提供 15dB 的增益、3.4dB 的雜訊指數及 26mW 的功率消耗；使用晶片電感(on-chip inductor)的疊接式(cascode)低雜訊放大器提供 7dB 的增益、5.86dB 的雜訊指數及 7.5mW 的功率消耗；使用打線電感(bond-wire inductor)的疊接式低雜訊放大器提供 8.3dB 的增益、5.74dB 的雜訊指數及 7.5mW 的功率消耗。

壹、前言

隨著科技的進步，人與人之間的聯繫與溝通，已經由有線傳送進步到個人的無線通訊系統(wireless communication system)，達到隨時隨地的便利方式。然而人們對無線通訊的質與量的需求不斷提高，未來無線通訊所提供的服務除了包括語音、數據、影像的多媒體資訊傳輸外，更重要的是與網際網路的結合。由於通訊技術的發展及操作頻段的增加，可使頻寬增加以增大傳輸資料量，帶來更多的效益，因此有不少的無線區域網路(wireless local area network; WLAN)標準被提出來，IEEE 802.11a 即是規範在 5.2GHz 之下的無線區域網路標準[1]。

在傳統無線通訊系統的電路設計上，特別是射頻前端電路(RF front end)，因為元件特性的需求，大都採用成本較高的化合物半導體或 Bipolar 的特殊製程。但在基頻電路(baseband)一般則使用整合性高且成本較低的 CMOS 製程，因此造成射頻前端與基頻電路整合的問題，而無法有效的降低成本。近年來由於 CMOS 製程技術的快速進展，開通道長度(gate channel length)不斷地縮短，使得它在高頻上也有不錯的特性，因此憑著 CMOS 低成本，高整合性的特質，微波積體電路已逐漸使用 CMOS 元件來實現，體積小、重量輕的單石微波積體電路(monolithic microwave integrated circuits; MMIC)將成為設計之主流，這不但能夠增加系統的整合性，也可以降低製作上的成本。

由於在無線通訊系統接收器(receiver)中，第一級的雜訊指數(noise figure; NF)決定整個接收端的雜訊特性，對訊號傳輸品質有很大的影響，而低雜訊放大器(low noise amplifier, LNA)是射頻電路最前端的元件，使接收端具有高增益(gain)、低雜訊的特性，才能確保整個系統有最佳的性能，因此設計一個良好的低雜訊放大器對無線通訊接收系統來說極為重要。近年來有不少的學術與產研單位利用 CMOS 技術來實現低雜訊放大器[2-7]，T. H. Lee etc. [8]則針對這些不同架構的低雜訊放大器加以分析探討。CMOS 雖然有低成本與高整合性的優點，但由於受到矽基板上(silicon substrate)電感的品質因素(quality factor, Q)不高(約在 10 以下)，在高頻時會造成能量的損耗[9]，因此有許多研究討論在高頻時經基板耦合的雜訊與改進的方法[10-14]，但實際上這些研究改進的幅度並不大，Q 值仍在 10 左右，因此針對 MMIC 系統設計，如何改善這個 CMOS 基板上的先天限制，仍是各研究努力的目標。

本論文將介紹 5.2GHz 低雜訊放大器的設計過程、實現與模擬結果。在第二章中，我們將介紹 IEEE 802.11a 的一些系統規範，並說明射頻接收器的架構以及基本的電路區塊。在第三章中，將探討在高頻電路設計上的考量，包括雜訊、非理想特性。在第四章中，將探討低雜訊放大器的模擬驗證，並針對串接式與疊接式兩種不同架構來進行模擬與比較，此外也利用包括 on-chip 電感與 bond-wire 電感，分別設計低雜訊放大器並探討其特性。第五章為總結前幾章的討論並探討未來的研究方向。

貳、IEEE 802.11a 系統規格與架構之簡介

隨著人們對於無線通訊資料量的需求提高，因此資料的傳輸率為了因應更複雜之應用而必須有效地增加，未來的無線通訊所提供的服務除了包括語音、數據、影像傳輸之外，更重要的是與網際網路結合，扮演數據與多媒體傳輸服務的角色。為了因應未來高速無線傳輸的應用，IEEE(Institute of Electrical and Electronics Engineers)於 1999 訂定了新一代的無線區域網路(WLAN)標準 802.11a，採用 5GHz 的頻段，傳輸速率最高為 54Mbps，本章將介紹此一標準的系統規格與探討其接收器架構的特性。

2.1 IEEE 802.11a 之系統規格

美國 U-NII (Unlicensed-National Information Infrastructure)規劃了 300MHz 的頻帶供給 WLAN 使用，這個頻帶是在 5GHz 到 6GHz 之間，分成 Lower、Middle 以及 Upper U-NII band 三部分，總共有 300MHz 的頻寬可用，其頻帶分佈如圖 2.1 所示。

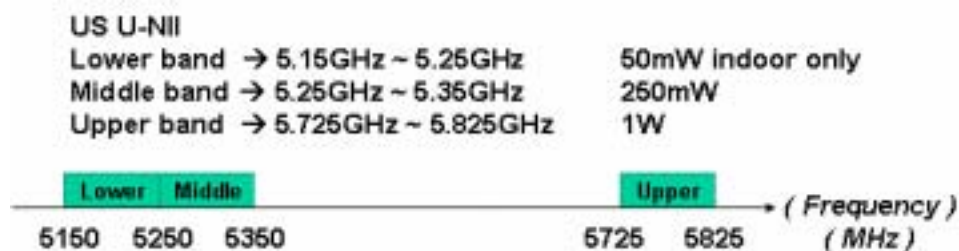
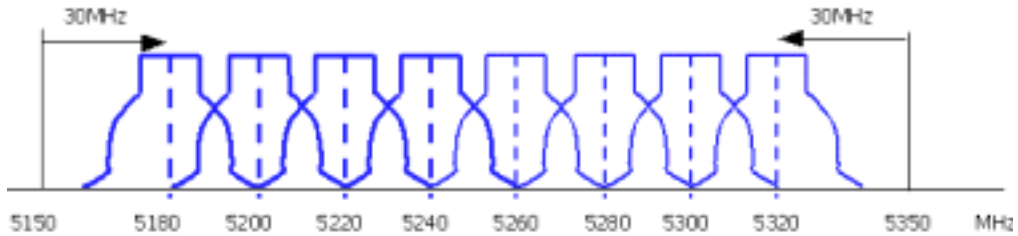


圖 2.1 IEEE 802.11a 頻帶分佈圖

在 Lower 和 Middle U-NII band 上配置了八個頻道，每個頻道寬度 20MHz，最左頻道的中心頻率與下緣邊帶(5150MHz) 及最右頻道的中心頻率與上緣邊帶(5350MHz)必須距離 30MHz，主要是為了避免干擾到其他頻帶上的系統。而 Upper U-NII band 上則配置了四個頻道，不同的是兩旁的頻道中心頻率只需距離各邊帶 20MHz，如圖 2.2 所示。

Lower and Middle U-NII band : 8 carriers in 200MHz / 20MHz Spacing



Lower and Middle U-NII band : 4 carriers in 100MHz / 20MHz Spacing

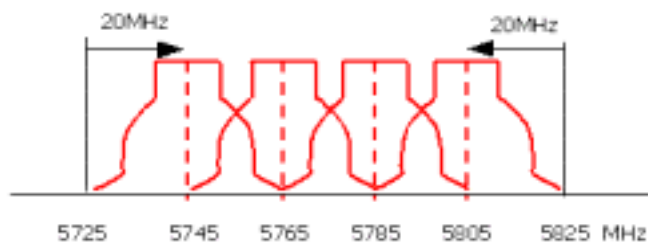


圖 2.2 IEEE 802.11a 頻道分配圖

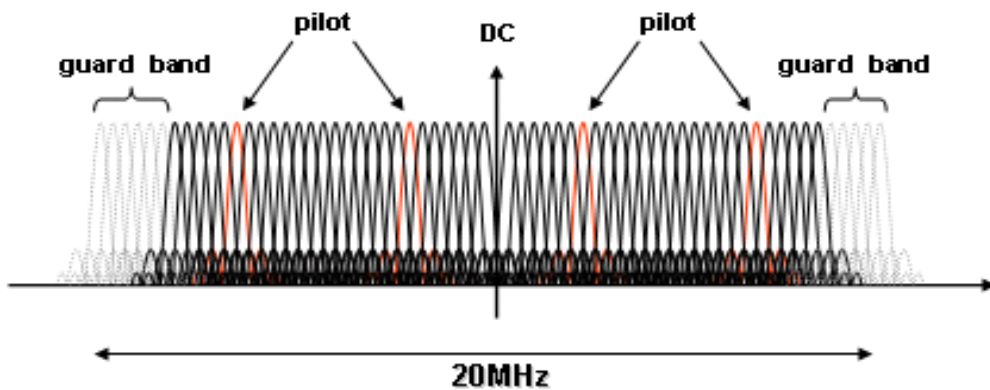


圖 2.3 OFDM 載波示意圖

IEEE 802.11a 系統跟其他傳統單載波調變系統最大的不同就是採用多載波調變系統 (multi-carrier modulation)，它是屬於正交分頻多工(orthogonal frequency division multiplexing; OFDM)的系統。OFDM 是一種資料編碼的技術，是利用一連串的正交載波來傳送信號，因為相互正交的載波不會相互干擾，因此可以載送很高的資料量，而且有較強的對抗多路徑通道衰弱效應的能力(multi-path channel fading effect)。要產生這些正交載波信號，我們可以利用反向快速傅立葉轉換(inverse fast fourier transform; IFFT)來產生。OFDM 系統就是採用 64 點的

IFFT 作為其調變器。因此會有 64 個正交的子載波(subcarrier)，又因為每個頻道寬度為 20MHz，因此每個子載波的間距(subcarrier spacing)為 $20 \text{ MHz} / 64 = 312.5 \text{ kHz}$ 。但為了避免頻率偏移對旁邊的頻道造成干擾，所以 64 個子載波裡面左邊有 6 個，右邊有 5 個虛載波(virtual carrier)，也就是以不送信號的載波作為保護帶(guard band)。在 DC 上的載波(0^{th} subcarrier)也不送信號，是為了避免在 RF 系統上因為數位與類比之間轉換所造成的位移與載波的進入。另外還有 4 個子載波要傳送引導載波(pilot carrier)，因此總共有 $64 - 5 - 6 - 1 - 4 = 48$ 個子載波可用來傳送資料。圖 2.3 是正交載波示意圖。

這 48 個子載波可以依據所需資料傳送率的不同，而有四種調變方式，分別為 BPSK、QPSK、16-QAM 及 64-QAM，再搭配不同的迴旋編碼率(convolutional encoder coding rate)，可以有 6 ~ 54Mbps/s 八種資料傳送速率的組合。在 IEEE 802.11a 標準中，傳送資料率 6、12 及 24Mbps/s 是必須具有的規格，其他更高的速率則是可選擇性的。表 2-1 為 IEEE 802.11a 各種傳輸速率的參數。

表 2-1 IEEE 802.11a 傳輸速率參數

Data rate (Mbits/s)	Modulation	Coding rate (R)	Coded bits per subcarrier (N _{BPS})	Coded bits per OFDM symbol (N _{CBPS})	Data bits per OFDM symbol (N _{DBPS})
6	BPSK	1 / 2	1	48	24
9	BPSK	3 / 4	1	48	36
12	QPSK	1 / 2	2	96	28
18	QPSK	3 / 4	2	96	72
24	16-QAM	1 / 2	4	192	96
36	16-QAM	3 / 4	4	192	144
48	64-QAM	2 / 3	6	288	192
54	64-QAM	3 / 4	6	288	216

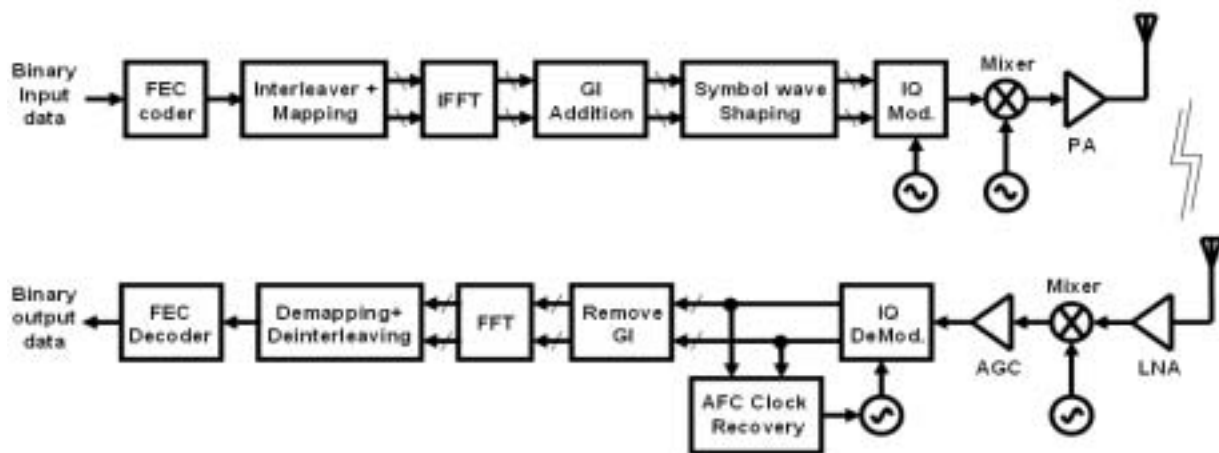


圖 2.4 IEEE 802.11a OFDM 實體層傳送與接收器的方塊圖

圖 2.4 為 IEEE 802.11a OFDM 實體層傳送與接收器的方塊圖。資料傳送的過程是將二進位的輸入資料經過錯誤更正碼的編碼(FEC coder)，將資料重新排列，使相鄰的位元散佈在不同位置，這可對抗通道所造成的巨量錯誤(burst error)的影響。之後資料經 IFFT 調變器調變，再將每一符號間加入保護間隔(guard interval, GI)降低相鄰符號相互干擾(inter-symbol interference, ISI)的現象產生，才將所要的資料經 I/Q 調變、升頻器升到高頻，再經由功率放

大器(PA)、天線傳送出去；在接收器方面，信號由天線經低雜訊放大器接收下來，由降頻器、自動增益控制放大器(AGC)降到中頻信號，再經由 I/Q 解調、自動頻率控制(AFC)、移除資料的保護間隔、快數傅立葉轉換(FFT)調變器解調、資料重新排列與錯誤更正碼的解碼，則可得到二進位的傳送資料。

接收器的雜訊指數、線性度等為 RF 系統設計之重要參數，接收器的雜訊指數是根據已知的最小信號雜訊比(minimum Signal /noise ratio, SNR_{min})來計算，且根據不同的通道模型(channel model)及位元錯誤比(bit error rate; BER)得到最小的信號雜訊比。在 802.11a 標準中明確定義了封包錯誤率(packet error rate, PER)，而 PER 與 BER 之間的關係如下式：

$$PER = 1 - (1 - BER)^{nb} \quad (2.1)$$

nb 表示一個封包內的位元數，根據規格的定義，對於每 1000 個 PSDU(PHY service data units)封包內，10% 封包錯誤率而言，BER 則 1.31×10^{-15} ，依不同的通道模型可得到最小的訊號雜訊比[15]。

在 IEEE 802.11a 建議雜訊指數的值為 10dB，有 5dB 的限度(margin)。假設接收器的預選擇濾波器 (pre-select filter)能容許 3dB 的信號損耗，加上基頻(base-band)對輸入端所影響的 1dB 雜訊，則在射頻接收器前端電路的雜訊指數需小於 11dB。

在接收器架構方面，若不是採用直接降頻(direct conversion)接收器的架構，就需考量鏡像排斥比(image-rejection ratio; IRR)，然而 IRR 是根據下列的計算

$$P_{N+1} = P_{received} - (E_b / N_o) = -65 - 25 + 0 = -90 \quad (2.2)$$

P_{N+1} 是表示鏡像信號的最大功率； $P_{received}$ 為接收器接收的功率； (E_b / N_o) 為最大雜訊功率干擾情形下，仍被允許的 SNR_{min} 值； G_p 表示傳輸過程的增益，其值為 0，因 IEEE 802.11a 並不使用展頻技術(spread spectrum)。因此最小的 IRR 為

$$IRR \geq P_{received} - P_{N-1} > 60\text{dB} \quad (2.3)$$

P_{N-1} 表示位在 4.5GHz ~ 5.15GHz 之映像信號(image signal)。表 2-2 列出 IEEE 802.11a 接收器的重要規格。

表 2-2 IEEE 802.11a 接收器的重要規格

Data Rate	54 Mbps
Channel Bandwidth	20 MHz
Sensitivity	-65 dBm
BER	1.31×10^{-15}
SNR	22 dBm
Noise Figure	15 dB
P-1dB	-40.5 dBm
IIP3	-30.5 dBm
IIP2	-11 dBm
IRR	60 dB

在前面我們簡單提到 IRR 為 60dB，這對接收器而言是很嚴格的規定。在信號的路徑與本地震盪頻率(local oscillator, LO)信號間，增益與相位的不匹配都會造成 IRR 的下降。雖然串接多相位濾波器(cascade polyphase filter)能提供大的 IRR，但仍受限於被動元件的不匹配。此外太多級的多相位濾波器也會產生額外的損耗及雜訊。因此為了防止這種情況，有必要針對頻率進行適當規劃，以降低系統對 IRR 的要求。圖 2-5 為 IEEE 802.11a 定義傳輸端的頻譜遮罩 (spectrum mask)，在距載波頻率(f_c)15MHz 的地方有凹口(notch)，所以如果我們設定中頻(intermediate frequency, IF)為 7.5MHz，將映像信號(image signal)分配到此凹口處，即可限制映像信號的功率。但這並不是可行的方式，因為 IEEE 802.11a 的頻道頻寬為 20MHz，因此 IF 的頻率須高於 10 MHz。

一個可行的方式就是將 RF 信號降頻到 15MHz 的中頻信號。觀察傳輸的頻譜遮罩，在 15MHz 的地方，映像信號就會比載波頻率低 28dB。意味著這 28dB IRR 不需要額外的電路與功率消耗，因此電路設計只需要提供 32dB IRR，如此不但放鬆 IRR 的要求，也使電路設計上較為容易。

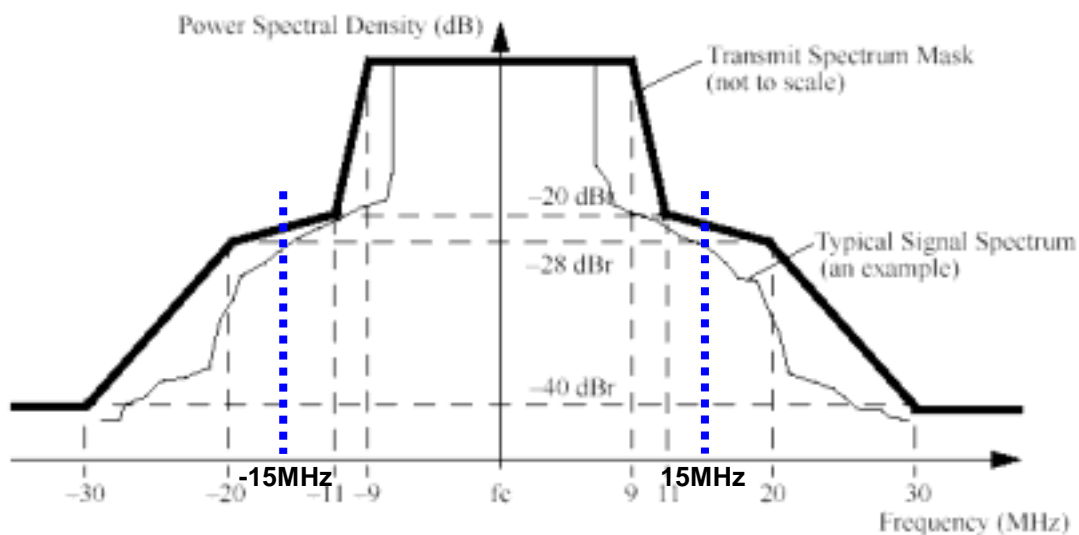


圖 2.5 IEEE 802.11a 定義傳輸端的頻譜遮罩圖

2.2 接收器架構

無線接收器有許多不同的架構被發展出來，一般常見的架構有：外差式接收器(heterodyne receiver)、超外差式接收器(super heterodyne receiver)、鏡像排斥接收器(image-reject receiver)、低中頻接收器(low-IF receiver)、直接轉換接收器(direct-conversion receiver, Dicon)以及數位中頻接收器(digital-IF receiver)等等[16][17]。

近來被廣泛討論的架構為直接轉換接收器，由於直接轉換接收器直接將射頻信號轉換到基頻，中間只經過一次的降頻，所以又稱之為零中頻接收器(Zero-IF receiver)，如圖 2.6 所示。直接轉換接收器架構具有幾項優於外差式接收器架構的優點：因為中頻信號是零，所以不會發生鏡像干擾的問題，因此也不需要使用鏡像排斥濾波器；中頻帶通濾波器和其後的降頻級

可被低通濾波器(low pass filter)和基頻放大器所取代，這使得在系統整合上更加容易。

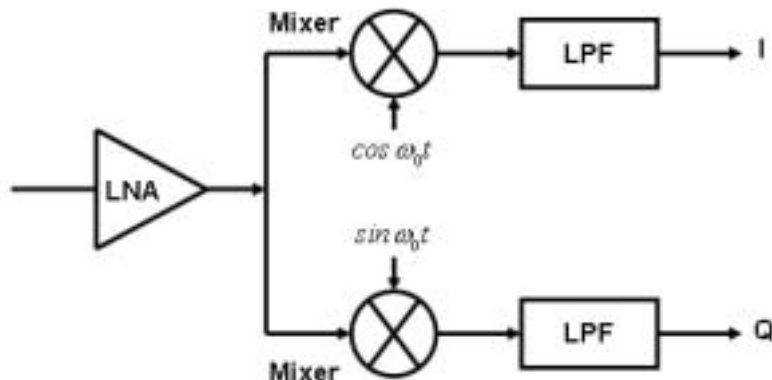


圖 2.6 直接轉換接收器

但是直接轉換接收器存在一些缺點：I/Q 不匹配、改善直流偏移(DC offset)的複雜補償電路、基頻帶干擾(base band interference)、偶次失真及閃爍雜訊等，此外高線性度的降頻轉換混波器(down-conversion mixer)也不容易設計。

低中頻接收器(low-IF receiver)在架構上是將射頻信號降頻到接近 DC，但不等於零頻率，因此可避免在 Zero-IF 接收器架構中，所發生的直流偏移電壓和自我混波問題[18][19]。此外，因為此架構不需額外的外部元件，例如表面聲波元件(SAW)，所以比外差式接收器架構有更高的整合能力，更容易實現在單一晶片上。傳統低中頻接收器是將 RF 信號直接降到 IF，會導致兩個問題：第一、需要較高的 LO，這表示 LO 週期小，會導致較高的混頻器雜訊。第二、若採用 90 度相位差(quadrature)混波器，RF 與 LO 增益與相位的不匹配，使得 IRR 非常敏感。

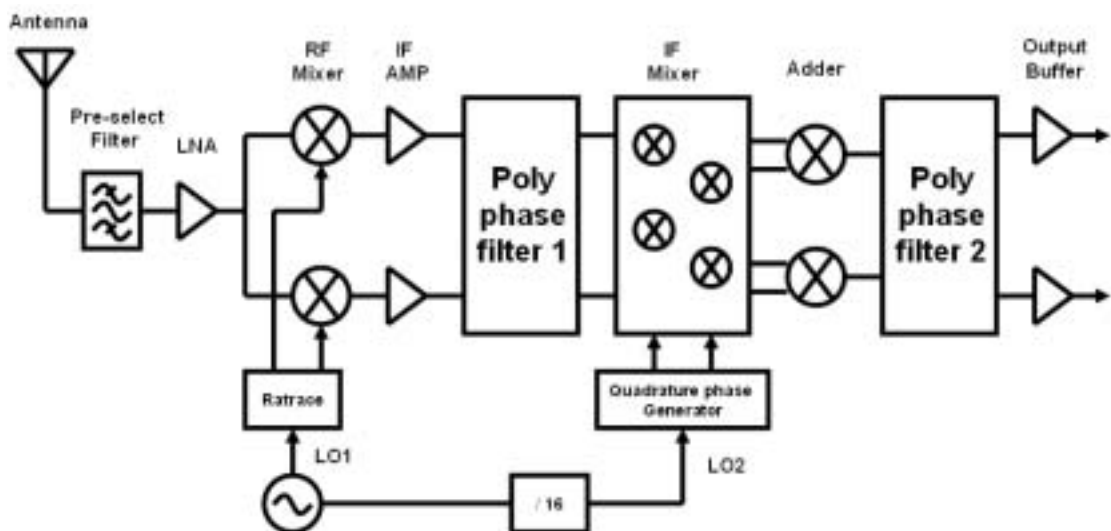


圖 2.7 間接低中頻接收器

間接低中頻接收器(indirect low-IF receiver)架構[20]，如圖 2.7 所示，是將 RF 信號，經過 90 度相位差混波器降頻到 IF，而第一階的映像信號可由預選擇濾波器(pre-select filter)，與被動的多相位的(polyphase)濾波器來抑制；而中頻放大器是用來補償多相位濾波器的損耗。接

著再由第一個 IF 經由雙 90 度相位差混波(double quadrature mixing)到第二個 IF 15MHz，而第二個多相位濾波器是用來消除二階的映像信號；輸出端外接緩衝器(buffer)用來驅動 50 歐姆阻抗。

在此架構中採用兩組 LO 的頻率，所使用的頻率合成器的設計方式是使用整數除法來得到第二組的 LO 頻率。下面以一個例子來說明，圖 2.8 為頻譜示意圖：LO1 的頻率在 4880MHz 附近，LO2 為 LO1 除以 16 為 305MHz，若 RF 信號為 5200MHz 時，經第一次降頻到 IF1 為 320MHz，再經過第二次降頻到 15MHz。最後頻率規劃如表 2-3 所示。

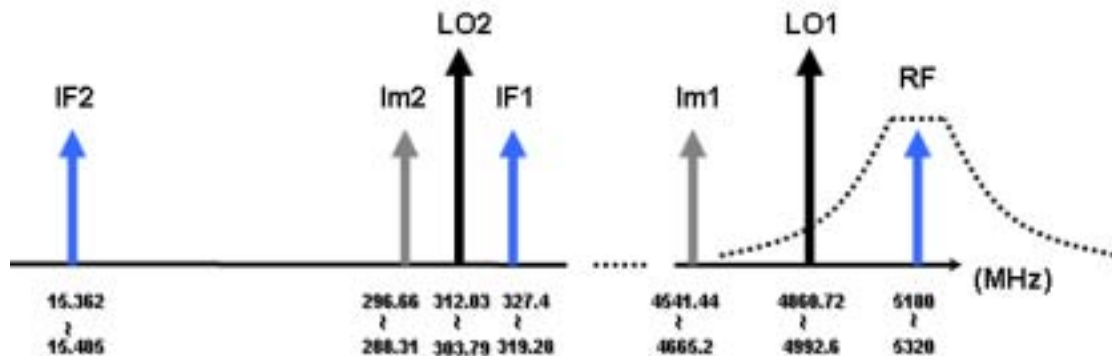


圖 2.8 間接低中頻接收器頻譜示意圖

表 2-3 IEEE 802.11a Lower and Middle U-NII band 頻率規劃

Channel frequency	LO1	IF1	LO2 (LO1/16)	IF2
5180	4860.72	319.28	303.795	15.485
5200	4879.56	320.44	304.972	15.468
5220	4898.40	321.60	306.150	15.450
5240	4917.24	322.76	307.327	15.432
5260	4936.08	323.92	308.505	15.415
5280	4954.92	325.08	309.682	15.397
5300	4973.76	326.24	310.860	15.380
5320	4992.60	327.40	312.037	15.362

被動式多相位濾波器可以濾除映像信號而讓所要的信號通過。然而串接越多級的濾波器雖然可以使映像信號衰減的越多，但也會使信號造成損耗。所以濾波器的級數選擇，要考量能提供足夠的 IRR，同時也要防止信號損耗太多。故第一階的映像信號採用兩級的多相位濾波器來濾除，可以衰減 70dB 的映像信號；第二階的映像信號採用四級的多相位濾波器來濾除，可以壓抑 60dB 的映像信號，也對 IRR 提供足夠的容忍度。而濾波器每級的損耗約為 3~4dB。

2.3 接收器系統模擬

在無線接收器設計上，藉由一些公式如(2.4)式與(2.5)式，可以估算出系統連結預算值(link budget)。如此便能對系統所能達到的規格有一初步的了解。

$$\text{Cascade_NF} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} \quad (2.4)$$

其中 F_i 為每一級的雜訊因子(noise factor)； G_i 為每一級的功率增益(power gain)。

$$\text{Cascade_IIP3} = 10 \log \frac{1}{\frac{1}{\text{IIP3}_1} + \frac{G_1}{\text{IIP3}_2} + \frac{G_1 G_2}{\text{IIP3}_3} + \dots} \quad (2.5)$$

其中 IIP3_i 為每一級的輸入三階截斷點(third order intercept point)； G_i 為每一級的功率增益。

最後以一個無線射頻接收器來說明(如圖 2.9)，當射頻信號經天線、TR(傳送/接收)開關和帶通濾波器(BPF)後，經由低雜訊放大器放大訊號，再利用第二級放大器來提高增益，接著射頻信號進入混波器(mixer)降到低頻信號，最後經濾波器取得想要的基頻信號。表 2-4 列出系統連結預算值。根據(2.4)式，接收器中第一級低雜訊放大器電路的雜訊指數最為重要，決定系統整體的特性，故本論文針對不同架構與實現方式來比較不同的低雜訊放大器。

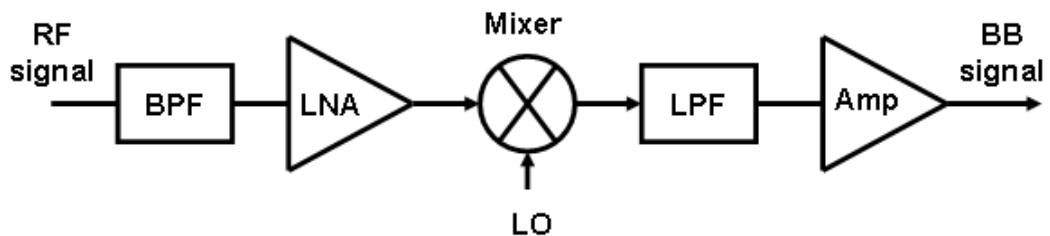


圖 2.9 射頻接收器電路

表 2-4 系統連結預算值

Specification	BPF	LNA	Mixer	LPF	Amplifier
Gain (dB)	-1.5	10	2	-1	15
NF (dB)	1.5	5	10	15	5
IIP3(dBm)	20	10	0	-	10

2.4 結語

本章簡單的描述了 IEEE 802.11a 的規格，以及依據系統規格來探討不同的接收器架構；並針對頻帶規劃的考量，使系統接收器設計上更容易實現。最後針對接收器的系統模擬，估算出系統連結預算值，決定了系統中低雜訊放大器的規格。接著本論文將針對此規格來設計低雜訊放大器，並探討採用不同電路架構、使用不同被動元件實現方式所設計的低雜訊放大器的特性。

叁、射頻電路設計之考量

在射頻電路中，有一些非理想的特性，包括存在於任何環境中的雜訊，這會對電路造成干擾，影響到所要的信號；再來是電路本身的非線性效應，無法避免信號間的相互干擾，或因為元件本身的限制，影響電路的性能。本章將針對這兩部份射頻電路設計的考量來探討。

3.1 雜訊[21]

雜訊(noise)是一種隨機信號，存在於連續且無限時段中，並非週期性，所以一般雜訊是以平均功率的形式來表示。其主要來源有兩個，一是外界接收進來的，或夾雜在信號源中的雜訊，另外一個則是電路本身所產生的雜訊。雜訊的種類有許多，可歸納為熱雜訊(thermal noise)、閃爍雜訊(flicker noise)、擴散雜訊(diffusion noise)、分流雜訊(partition noise)、散彈雜訊(shot noise)及產生-複合雜訊(generated-recombined noise)，在此主要針對熱雜訊、閃爍雜訊與電晶體雜訊來探討。

3.1.1 熱雜訊 (Thermal noise)

電阻為最常見的雜訊源，在熱平衡時，電阻中用來傳導的電子隨熱運動所產生的微量電流，稱之為熱雜訊。而熱雜訊的功率大小跟它的電阻大小及絕對溫度成正比。根據 Nyquist 定理[22]，有效雜訊功率為

$$P_{av} = kT \Delta f \quad (3.1)$$

上式中， k 為波茲曼常數($k = 1.38 \times 10^{-23} \text{ J/K}$)， T 為絕對溫度， Δf 是單位頻率的雜訊頻寬，在室溫下一赫茲的頻寬內雜訊功率為， $kT = 1.38 \times 10^{-23} \times 293(25^\circ\text{C}) = 4 \times 10^{-18} \text{ mW} = -174 \text{ dBm}$ 又稱此為最低的雜訊地板(noise floor)。由上式中，可知熱雜訊與頻率大小無關，因此又稱為白色雜訊(white noise)。電阻的熱雜訊模型可利用雜訊電壓源串聯一個電阻來表示，或若是利用一個雜訊電流源並聯一個電阻，如圖 3.1 所示。現在考量一雜訊電壓源串聯一電阻，如圖 3.2 所示，我們定義有效雜訊功率為

$$P_{av} = kT \Delta f = v_n^2 / 4R \quad (3.2)$$

v_n^2 為電阻 R 在 Δf 頻寬下電路的均方根 (rms) 雜訊電壓，因此電路的平方根雜訊電壓為 $v_n^2 = 4kTR \Delta f$ 。所以在設計放大器時，熱雜訊是由電路中電阻的損耗、電晶體走線電阻或基板電阻等所產生。為了減少這種雜訊，盡量避免使用電阻，讓電阻趨近於零。

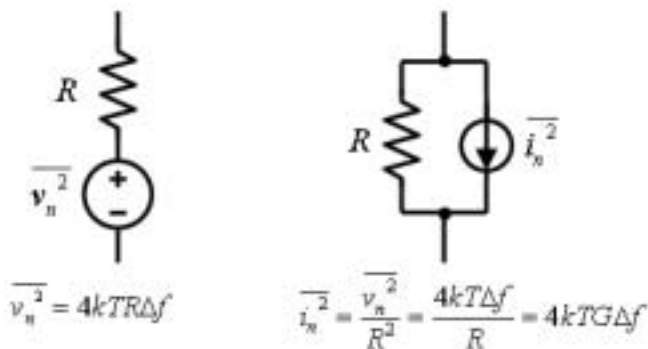


圖 3.1 電阻的熱雜訊模型

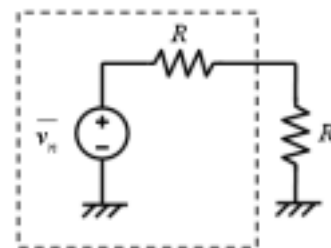


圖 3.2 熱雜訊電阻計算網路

3.1.2 閃爍雜訊 (Flicker noise)

在電晶體閘極氧化層與矽基板界面存在一個現象，就是在接面的地方，有許多不連續懸吊的鍵結(dangling bonds)，如圖 3.3，當電荷載子於介面移動時，某些載子將被隨機捕捉，然後以此能階釋放，使得汲極電流產生閃爍雜訊。但這並無法像熱雜訊一樣輕易地預測出來，這與氧化層與矽介面之清潔度有關，也隨著不同的 CMOS 製程技術而變化。

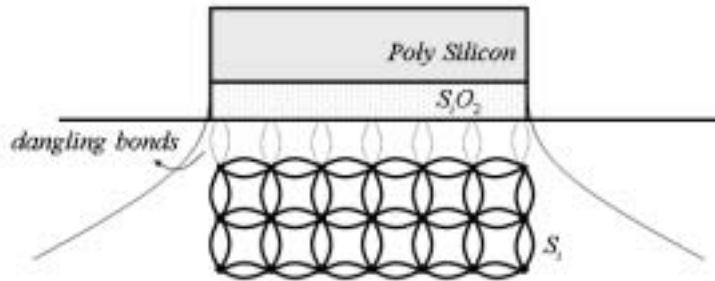


圖 3.3 氧化層與矽基板的不連續鍵結

以一個閘極串聯之電壓源來建立閃爍雜訊的模型是較容易的，其值約為

$$v^2 = K / C_{ox} W L f \quad (3.3)$$

其中 K 為製程相關常數約為 $10^{-25} \text{ V}^2\text{F}$ ，由 W/L 之關係推論出若要閃爍雜訊減少，元件面積需增加。觀察圖 3.4，雜訊頻譜密度與頻率成反比，換句話說氧化層與矽基板不連續鍵結之捕捉-釋放現象在低頻時更常發生，基於這個理由，閃爍雜訊也稱為 $1/f$ 雜訊。

觀察 $1/f$ 雜訊與熱雜訊的特性，我們在圖 3.5 上繪出兩者的頻譜圖， f_c 為 $1/f$ 雜訊轉折頻率 (corner frequency)，其交點可當做量測閃爍雜訊影響最大的頻寬。所以 $1/f$ 雜訊轉折點可被決定為

$$4kT(2/3)g_m = K g_m^2 / C_{ox} W L f_c \rightarrow f_c = (K / C_{ox} W L) g_m (3/8kT) \quad (3.4)$$

由(3.3)式的結果， f_c 一般來說皆和元件尺寸及偏壓電流有關。但對一個給定的 L 來說， $1/f$ 雜訊轉折頻率幾乎固定不動，對於次微米電晶體來說，約在 500kHz 至 1MHz 附近[23]。

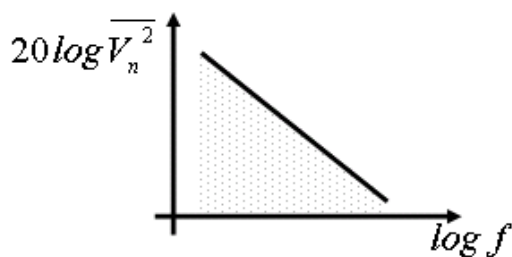


圖 3.4 閃爍雜訊頻譜

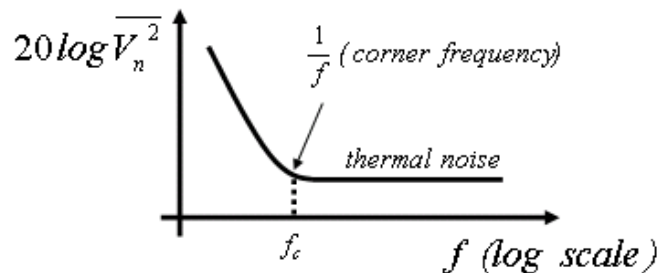


圖 3.5 閃爍雜訊與熱雜訊頻譜圖

3.1.3 電晶體的雜訊

在 MOS 電晶體元件中，最主要的雜訊源來自於通道中產生的雜訊。當長通道 MOS 元件操作於飽和區時，可以用一連接汲極與源極端之電流源來表示通道雜訊模型，如圖 3.6 所示。其頻譜密度為

$$i_d^2 = 4kT \gamma g_{d0} \cong 4kT \gamma g_m \quad (3.5)$$

g_{d0} 為在零偏壓下 MOS 電晶體汲極-源極的電導值，對長通道而言，當 V_{DS} 為零時，在飽和區之 g_{d0} 等於 g_m ；而 γ 是一個與偏壓相依的因數，在長通道元件中表示為

$$2/3 \leq \gamma \leq 1 \quad (3.6)$$

γ 等於 2/3 時，MOS 元件工作於飽和區；另外當 V_{DS} 為零時， γ 的值為 1。但對於次微米 MOSFETs 來說， γ 必須大於 2/3[24]。

除了汲極電流雜訊之外，通道電荷的熱振動現象，也會產生另一個雜訊稱為閘極雜訊(gate noise)，由於通道電位變動直接耦合到閘極，導致產生一個雜訊的閘極電流。在低頻時可忽略它，但在高頻時此閘極雜訊對電晶體影響甚大，閘極雜訊表示為

$$i_g^2 = 4kT \delta g_g \Delta f \quad , \quad g_g = \omega^2 C_{gs}^2 / 5g_{d0} \quad (3.7)$$

在長通道電晶體下，閘極雜訊係數 δ 為 4/3。閘極雜訊電路模型如圖 3.7 所示， g_g 被連接在閘極和源極之間來轉換雜訊電流源 i_g^2 ，而閘極雜訊 i_g^2 會隨著頻率增加而增加。所以稱閘極雜訊為藍色雜訊(blue noise)。

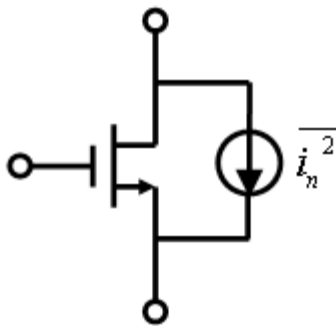


圖 3.6 MOSFET 的汲極電流雜訊模型

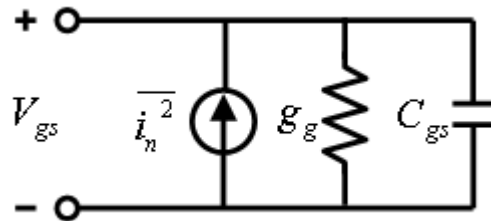


圖 3.7 閘極雜訊電路模型

3.1.4 雜訊指數[24]

雜訊因數(noise factor)和雜訊指數 (noise figure)，都是用來量測接收系統或是放大電路中雜訊的參數。雜訊因數的定義如下：

$$F = \frac{SNR@input}{SNR@output} = \frac{\frac{S_{in}}{N_{in}}}{\frac{S_{out}}{N_{out}}} = \frac{S_{in}}{S_{out}} \frac{N_{out}}{N_{in}} = \frac{1}{G} \frac{N_{out}}{N_{in}} \geq 1 \quad (3.8)$$

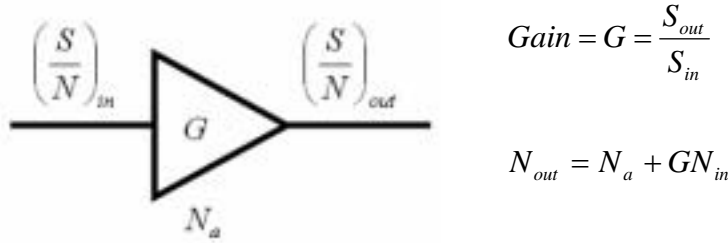


圖3.8 放大器雜訊模型

在圖3.8中輸入信號 S_{in} 及輸入雜訊 N_{in} ，經過一增益為 G 的放大電路，產生輸出信號 S_{out} 及輸出雜訊 N_{out} ，在輸出端雜訊，除了輸入信號經放大的雜訊之外，放大器本身也會產生雜訊 N_a ，故雜訊因數可表示成為

Noise Factor → $F = \frac{N_{out}}{GN_{in}} = \frac{N_a + GN_{in}}{GN_{in}} \quad (3.9)$

Noise Figure → $NF(dB) = 10 \log \left(\frac{N_a + GN_{in}}{GN_{in}} \right) \quad (3.10)$

若考量兩級串接放大器雜訊模型，如圖 3.9 所示，第一級的輸出雜訊為輸入端雜訊放大 G_1 倍，加上第一級放大器的產生雜訊 N_{a1} 。第二級的輸出雜訊為第一級的輸出雜訊再放大 G_2 倍，再加上第二級放大器的產生雜訊 N_{a2} 。雜訊因素的表示方式如(3.11)式所示

$$F = \frac{N_{out}}{GN_{in}} = \frac{N_{a2} + G_1 N_{a1} + G_1 G_2 N_{in}}{G_1 G_2 N_{in}} = 1 + \frac{N_{a1}}{G_2 N_{in}} + \frac{N_{a2}}{G_1 G_2 N_{in}}$$

$$F = F_1 + \frac{F_2 - 1}{G_1} \quad (F_1 = 1 + \frac{N_{a1}}{G_1 N_{in}}, F_2 = 1 + \frac{N_{a2}}{G_2 N_{in}}) \quad (3.11)$$

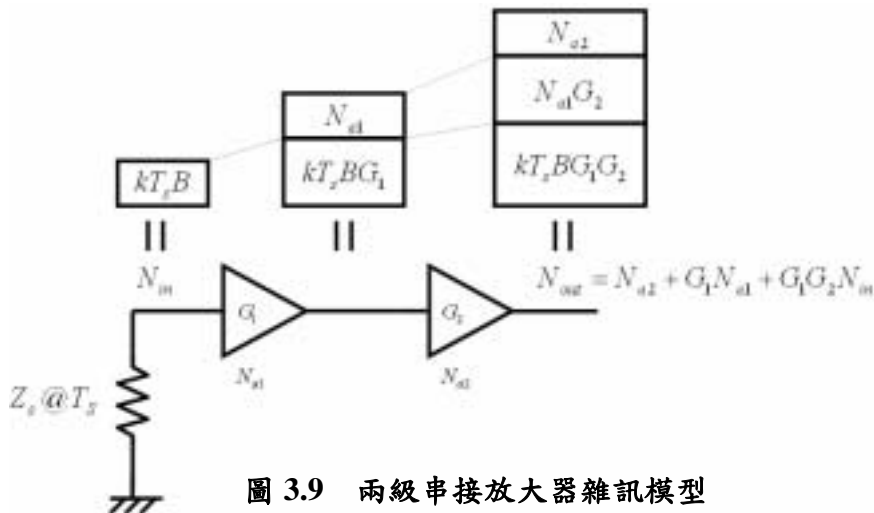


圖 3.9 兩級串接放大器雜訊模型

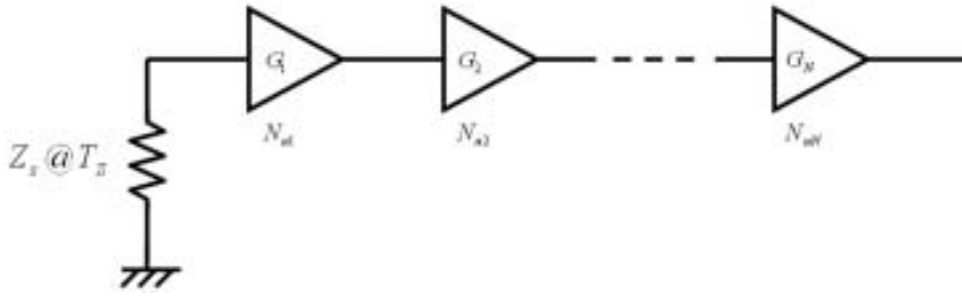


圖 3.10 N 級串接放大器雜訊模型

由上述得知，若有 N 級串接如圖 3.10，其雜訊因素如(3.12)式所示，在式子中，若第一級的增益 G_1 很大，則 F 可由 F_1 來決定， F_2 、 F_3 ...可忽略。

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{G_1 G_2 \dots G_{N-1}} \quad (3.12)$$

3.2 非線性效應[25]

3.2.1 諧波失真(Harmonic Distortion)

在非線性系統中，如圖 3.11，若輸入信號為 f_c 經過放大器後，除了主要的信號外，還會產生多次項的諧波，說明如下：

將輸出信號展開

$$V_{out} = a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 + \dots \quad (3.13)$$

若輸入信號 $V_{in} = A \cos \omega t$

$$\begin{aligned} V_{out} &= a_1 A \cos \omega t + a_2 A^2 \cos^2 \omega t + a_3 A^3 \cos^3 \omega t + \dots \\ &= a_1 A \cos \omega t + \frac{a_2 A^2}{2} (\cos 2\omega t + 1) + \frac{a_3 A^3}{4} (\cos 3\omega t + 3 \cos \omega t) + \dots \\ &= \frac{a_2 A^2}{2} + \left(a_1 A + \frac{3a_3 A^3}{4} \right) \cos \omega t + \frac{a_2 A^2}{2} \cos 2\omega t + \frac{a_3 A^3}{4} \cos 3\omega t + \dots \end{aligned} \quad (3.14)$$

由(3.14)式得知， $(a_2 A^2/2)$ 為 DC 常數項， $\cos \omega t$ 為主要的信號，其他的 $\cos 2\omega t$ 、 $\cos 3\omega t$... 則為 2 倍、3 倍的諧波項。

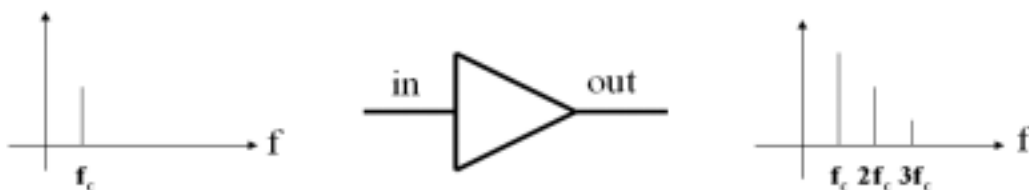


圖 3.11 非線性放大器輸入與輸出頻譜

3.2.2 增益壓縮點(Gain compression)

增益的壓縮與輸入的功率準位有關，當輸入信號超過一定功率時，輸入功率與輸出功率的線性關係，將不再維持，而會進入飽和或稱為壓縮，如圖 3.12 所示。若不考慮諧波失真，則由(3.14)式可知，小信號增益為

$$\frac{V_{out}}{V_{in}} = \frac{\left(a_1 A + \frac{3a_3 A^3}{4} \right) \cos \omega t}{A \cos \omega t} = a_1 + \frac{3a_3 A^2}{4} \quad (3.15)$$

若 $a_3 < 0$ ，則增益將會下降。換句話說，當輸入信號很大時，輸出的增益幾乎為零，輸出電壓不再隨著輸入信號線性的增加。我們定義當小訊號增益下降 1dB 時，我們稱之為“1-dB 增益壓縮點(1-dB compression point)”。若要計算下降 1dB 的增益壓縮點，由(3.15)式得知

$$20 \log |a_1| - 1dB = 20 \log |a_1 + (3/4)A^2_{1-dB} a_3| \quad (3.16)$$

$$\text{因此 } A_{1-dB} = \sqrt{0.145 \left| \frac{a_1}{a_3} \right|} \quad (3.17)$$

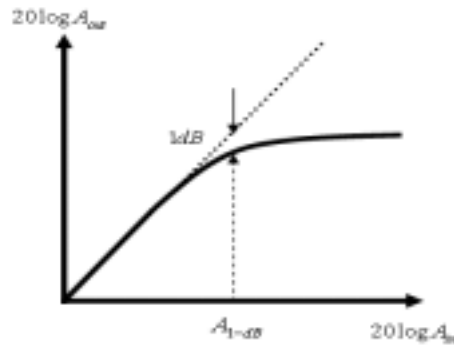


圖 3.12 1-dB 增益壓縮點

3.2.3 互調失真(Inter-Modulation Distortion; IMD)

當輸入端有兩個或兩個以上的信號，同時加入非線性的放大電路時，則在輸出信號中，將會包含許多附加頻率的信號，是為互調衍生信號，如圖 3.13 所示。由 $(2f_1-f_2)$ 與 $(2f_2-f_1)$ 組成的三階互調衍生信號(third-order intermodulation products)，都與基頻信號 f_1 或 f_2 甚為接近，用濾波器並不能完全濾除，會隨著信號進入放大電路的頻寬範圍之內，使輸出信號產生失真。

若輸入信號為 $V_{in} = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$ 代入(3.13)式

$$V_{out} = a_1(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + a_2(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + a_3(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 + \dots \quad (3.18)$$

將(3.18)式展開，觀察其二次與三次的諧波項

$$\begin{aligned}
\omega &= \omega_1 \pm \omega_2 : a_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + a_2 A_1 A_2 \cos(\omega_1 - \omega_2)t & (3.19) \\
&= 2\omega_1 \pm \omega_2 : \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 + \omega_2)t + a \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \\
&= 2\omega_2 \pm \omega_1 : \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 + \omega_1)t + a \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t
\end{aligned}$$

主要的信號為

$$\begin{aligned}
\omega = \omega_1, \omega_2 : & \left(a_1 A_1 + \frac{3}{4} a_3 A_1^3 + \frac{3}{2} a_3 A_1 A_2^2 \right) \cos \omega_1 t & (3.20) \\
& + \left(a_1 A_2 + \frac{3}{4} a_3 A_2^3 + \frac{3}{2} a_3 A_2 A_1^2 \right) \cos \omega_2 t
\end{aligned}$$

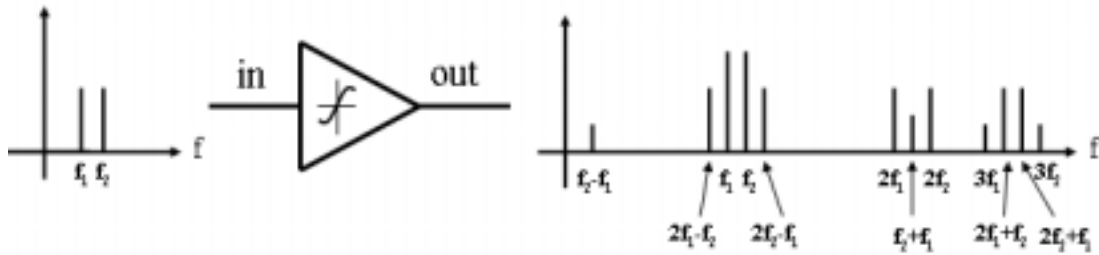


圖 3.13 非線性放大器的輸入與輸出頻譜

因此，當輸入信號功率大到使基頻輸出功率和第三階互調衍生信號輸出功率相同時(不考量增益壓縮的影響)，則三階互調衍生信號將嚴重干擾基頻之輸出信號，而此交叉點稱為第三階互調截斷點(3rd-order intercept point; IP3)，如圖 3.14 所示。

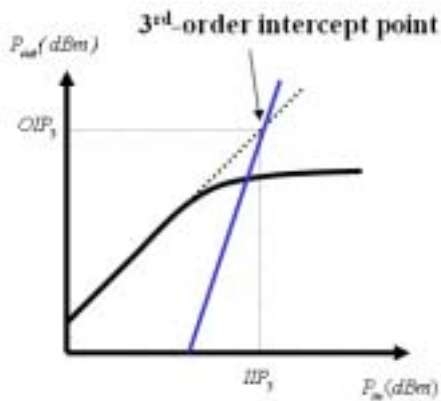


圖 3.14 三階互調截斷點

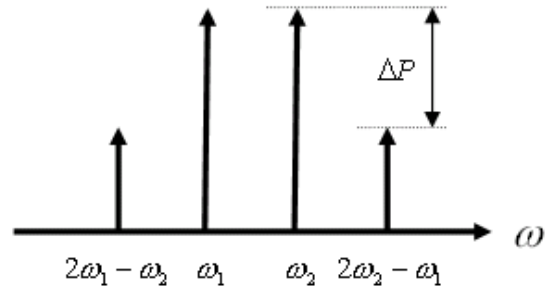


圖 3.15 IP3 的頻譜示意圖

IP3 對應到輸入端功率時，稱之為 Input IP3(IIP3)，對應到輸出則稱為 OIP3。通常 1dB 增益壓縮點與 IIP3 的關係式如下[26]：

$$1\text{-dB compression point} \cong \text{IIP3} - 10\text{dB} \quad (3.21)$$

主要信號(fundamentals)的大小與三階互調信號(IM3)的輸出頻譜如圖 3.15，IIP3 的計算方式如下式：

$$\text{IIP3} \Big|_{\text{dBm}} = \frac{\Delta P \Big|_{\text{dB}}}{2} + P_{in} \Big|_{\text{dBm}} \quad (3.22)$$

肆、5.2GHz CMOS 低雜訊放大器

本章將討論以 TSMC 0.25 μm 製程製作的 5.2GHz 低雜訊放大器，針對不同架構與不同被動元件的實現方式兩個方面來探討。在架構上，分為串接式(cascade)架構與疊接式(cascode)架構。在被動元件實現方式上，採用 on-chip 的電感、並聯的電感、bond-wire 電感。

4.1 低雜訊放大器設計考量

4.1.1 放大器雜訊模型

對於採用共源極架構的低雜訊放大器而言，如圖 4.1，雜訊主要是由輸入級電晶體 M1 所決定，因此計算 M1 電晶體所產生之雜訊即可推算出此放大器大略的雜訊指數。若採用疊接式的架構，則在模擬時應加入 M2 電晶體所產生的雜訊，以得到更精確之結果。

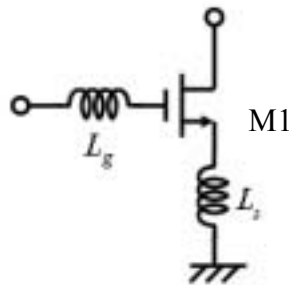


圖 4.1 共源極架構

由第三章的討論可知，電晶體雜訊模型與(3.5)式的 i_g 和(3.7)式的 i_d 有關，如果把 i_g 分成與 i_d 相關的部分 i_{gc} 及與 i_d 不相關的部分 i_{gu} ，則閘極雜訊電流[24]可表示為

$$\left(\overline{i_g^2}/\Delta f\right) = 4kT\delta g_g |c|^2 + 4kT\delta g_g (1 - |c|^2) \quad (4.1)$$

其中 $c \cong 0.395j$

由上述雜訊源的探討可得 M1 電晶體雜訊模型，如圖 4.2 所示。

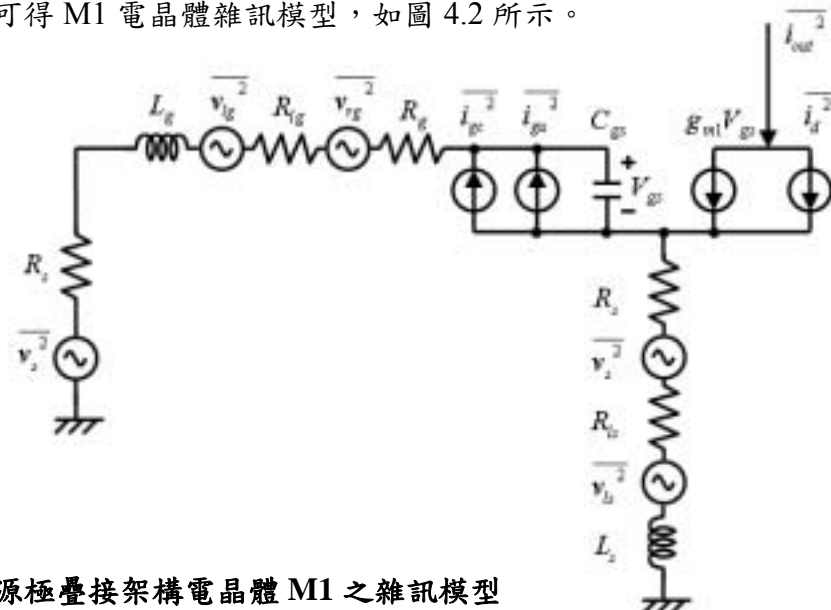


圖 4.2 共源極疊接架構電晶體 M1 之雜訊模型

經過計算雜訊的來源，可得

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{\omega_0}{\omega_T} x \quad (4.2)$$

其中 $\gamma > \frac{2}{3}$ [24]、 $\alpha = g_{m1}/g_{d0}$ 、

由(4.2)式可知 NF 與 Q_L 有關， Q_L 與 C_{gs} 相關， C_{gs} 則由電晶體的尺寸大小來決定，因此不

$$x = \frac{1 + 2|c| \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma}}{Q_L} + \frac{\delta\alpha^2}{5\gamma} Q_L \quad Q_L = \frac{\omega_0(L_s + L_g)}{R_s} = \frac{1}{\omega_0 R_s C_{gs}}$$

同的電晶體的尺寸大小將得到不同的雜訊指數。

若固定 ω_0 與 ω_T ，當(4.3)式情況成立時，可由(4.2)式得到最小的雜訊指數。

$$\frac{1 + 2|c| \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma}}{Q_L} = \frac{\delta\alpha^2}{5\gamma} Q_L \quad Q_{L,opt,G_m} = \sqrt{1 + 2|c| \sqrt{\frac{5\gamma}{\delta\alpha^2}} + \frac{5\gamma}{\delta\alpha^2}} \quad (4.3)$$

$$(4.4)$$

$$G_m = \frac{i_d}{V} = \frac{1}{R_s + \omega_T L_s} \cdot \frac{g_m}{\omega_T} \approx \frac{1}{2R_s} \cdot \frac{\omega_T}{\omega}$$

若已知 ω_T ，就可固定 G_m ，考量最佳化的雜訊指數的情形。假設滿足(4.3)式，則電晶體的功率消耗將增加，並不適用於行動通訊上，因此在無線通訊的設計上，應在功率消耗的考量下得到最佳的雜訊指數。由(4.2)式，考量功率消耗與不同雜訊指數的 Q_L ，可得到最佳化的考量

，若針對不同功率消耗下雜訊指數與 Q_L 的關係來作圖(圖 4.3)，可觀察到當 Q_L 太大(電晶體的尺寸太小)或太小(電晶體的尺寸太大)時，雜訊指數都會增加；且若要得到較小的雜訊指數，則需要較大的功率增益。

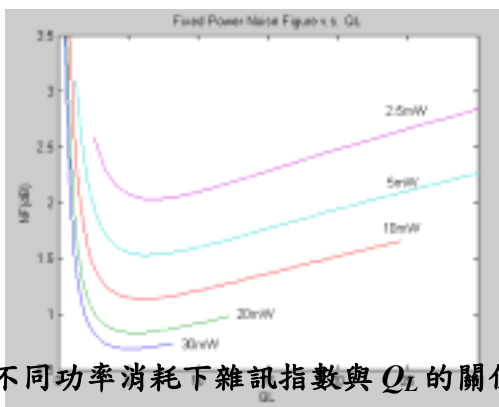


圖 4.3 不同功率消耗下雜訊指數與 Q_L 的關係

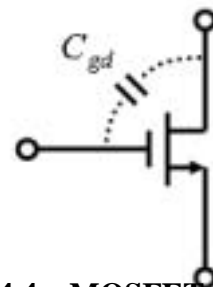


圖 4.4 MOSFET 的回授電容 C_{gd}

4.1.2 放大器穩定性考量

MOSFET電晶體本身存在一個寄生電容 C_{gd} ，在輸出端與輸入端之間提供一回授路徑，輸出信號會透過寄生電容 C_{gd} 回授到輸入端，如圖4.4所示。在低頻時， C_{gd} 如同一個高阻抗元件可視為開路；但隨著頻率的增高，寄生電容 C_{gd} 產生的一些效應，將造成回授信號與輸入信號同相位，再配合上振盪的基本條件，這就會使放大器在某一頻段下產生振盪的現象而影響放大器的穩定性(Stability)。

避免因為電晶體的寄生電容 C_{gd} 而造成放大器不穩定的方法有兩種：第一種為中和(Neutralization)，如圖4.5所示，將汲極與閘極之間串接一電感 L_1 和電容 C_1 ，使電感 L_1 、電容 C_1 和 C_{gd} 形成一並聯共振腔中和掉 C_{gd} 。其中電容 C_1 是為了阻隔直流信號，避免汲極和閘極同電位。雖然此電路很簡單，但這方法不是非常理想，因為 C_{gd} 會隨著電壓而改變，所以不容易調整 L_1 電感值以除去回授信號的產生。

另一種方法為疊接式(Cascode)，此方法是利用一個共閘極的 M_2 疊接在 M_1 上所完成的，如圖4.6所示，因為共閘極工作組態沒有 C_{gd2} 回授路徑，所以輸出信號不會回授到輸入端，輸入與輸出端之間幾乎是隔絕的，而且， M_1 電晶體的閘汲極間的增益為1，所以 C_{gd1} 並沒有米勒效應(Miller Effect)的產生，但是疊接式放大器的雜訊指數會比中和式的放大器來得高。

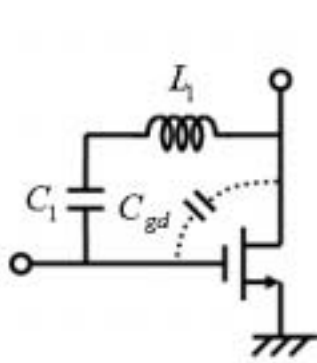


圖4.5 C_{gd} 的中和

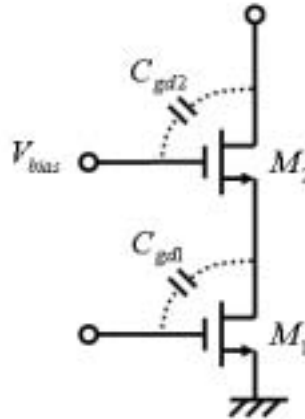


圖4.6 疊接架構

高頻放大電路的不穩定起因於振盪，本節一開始討論回授電容 C_{gd} 對放大電路的影響；在高頻時不只有 C_{gd} 會影響電晶體的特性，還有許多寄生效應也會改變電晶體的特性。所以在設計放大電路上，主動元件的S-參數，以及輸入與輸出兩端的阻抗都必須考慮。在圖4.7所示的雙埠主動網路中，當輸入埠或輸出埠的任一端呈現負阻抗時，也就是 Z_{in} 或 Z_{out} 中含有負電阻，就有可能產生振盪的情形，如果以反射係數的觀點來看，亦即 $|\Gamma_{in}| > 1$ 或 $|\Gamma_{out}| > 1$ 時，就會使放大電路發生振盪，而對單向性元件 $S_{12}=0$ 而言，其 S_{11} 和 S_{22} 分別代表 Γ_{in} 及 Γ_{out} ，當 S_{11} 或 S_{22} 大於1時，都會引起振盪，一般電晶體的 S_{11} 及 S_{22} 大多是小於1，這時還需使用下列式子檢查電晶體是否穩定[27]。

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad (4.5)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| \quad (4.6)$$

若 $|S_{11}|$ 、 $|S_{22}| < 1$ 和 $K > 1$ 及 $|\Delta| < 1$ 時，則該電晶體為無條件穩定(Unconditionally Stable)，而電晶體兩端接上任何被動性負載時，都不會使輸入或輸出的阻抗，形成負阻抗的特性。但若 $K < 1$ ，則電晶體將成為潛在性不穩定(Potentially Unstable)。

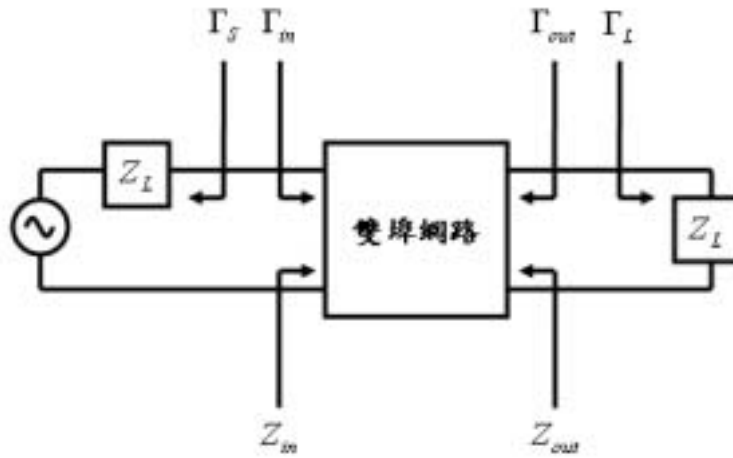


圖4.7 雙埠主動網路

對於一個潛在性不穩定的主動元件，可藉由外加負載電阻或利用適當的負回授，使之變成無條件穩定。但是這樣的方法，會損耗能量而降低增益及雜訊度，並不適合使用於窄頻放大電路的設計，在設計窄頻放大電路時，最好選擇適當的輸入端反射係數(Γ_S)和負載端反射係數(Γ_L)，以確保其穩定性。

4.1.3 放大器輸入端匹配

一般的 CMOS 低雜訊放大器可分為四種匹配架構[8]：

1. 電阻性終端 (Resistive Termination) 架構

如圖 4.8 所示，當放大器需要穩定的 50Ω 輸入阻抗時，可採用此架構，它是在輸入端使用電阻性的終端，以提供 50Ω 的阻抗。不過在這個架構中，由於使用電阻，將使得低雜訊放大器的雜訊指數提高。假設輸出端的有效功率增益為 G_a ，有效雜訊功率為 $P_{na,i}$ (由內部雜訊源所產生)，則雜訊指數為

$$F = \frac{\text{Total output noise}}{\text{Total output noise due to source}} = 1 + \frac{P_{na,i} + kTBG_a}{kTBG_a} = 2 + \frac{P_{na,i}}{kTBG_a} \quad (4.7)$$

其中 B 為雜訊頻寬。當輸入端匹配電阻被移除時，則雜訊指數可表示為：

$$F = 1 + \frac{P_{na,i}}{kTBG_a} \quad (4.8)$$

所以，此種架構雜訊指數會升高，一般情況而言，較少被使用。

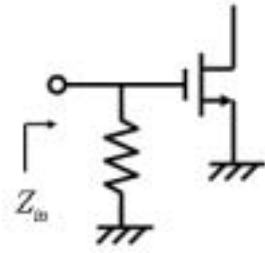


圖 4.8 電阻性終端架構

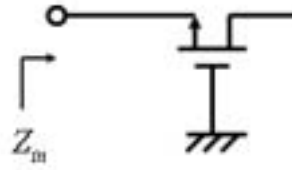


圖 4.9 轉導終端架構

2. 轉導終端 ($1/g_m$ Termination) 架構

如圖 4.9 所示，此架構是採用共閘級的結構，源級為輸入端。假設在匹配的情況下，則 CMOS 放大器的雜訊指數為

$$F = 1 + \frac{\gamma}{\alpha} \geq \frac{5}{3} = 2.2dB \quad (4.9)$$

$$\text{其中 } \alpha = g_m/g_{d0}$$

在雜訊指數表示式中， γ 為通道熱雜訊係數， g_m 為元件的轉導係數， g_{d0} 為零偏壓汲極電導係數。對於長通道 MOS 而言， $\gamma = 2/3$ ， $\alpha = 1$ 。然而實際上對於短通道 MOS 而言，由於短通道效應的影響， γ 通常遠大於 1，受到熱載子所產生的熱雜訊影響， α 則遠小於 1。因此，實際上的 MOS 元件其雜訊指數就會大於 3dB。

3. 並聯-串聯式回授 (shunt-series feedback) 架構

如圖 4.10 所示，此架構是採用並聯-串聯式回授式來作為放大器的輸入與輸出端的阻抗匹配。相較於其他架構的放大器，在相同的雜訊指數表現下，這種形式的放大器將消耗更大的功率，因為它是屬於寬頻帶的架構，一般都使用在光纖通訊或有線通訊上。所以若系統並不要求寬頻，則可利用調整電感電容窄頻的技巧來降低功率損耗。

4. 電感退化性 (Inductive degeneration) 架構

如圖 4.11 所示，此種形式是一般最常被使用的低雜訊放大器架構，簡單地分析電路的輸入阻抗，考慮元件模型只包括一個轉導(Transconductance)和一個閘源極寄生電容(C_{gs})。其輸入阻抗表示為

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{g_m}{C_{gs}} \right) L_s \approx \omega_T L_s = 50 \Omega \quad , \text{當 } \omega = \omega_0 \text{ 時 } (4.10)$$

$$\text{其中 } \omega_T = \frac{g_{m1}}{C_{gs}} \quad \omega_0 = \frac{1}{\sqrt{(L_s + L_g)C_{gs}}}$$

由(4.10)式可知，分別透過調整電感 L_s 和電感 L_g 值的大小，就可以控制輸入阻抗，使實數部份達到 50Ω 且複數部分為0。在所有的架構中，電感退化匹配架構比其他的匹配電路架構有更出色的性能，所以近年來在設計高頻低雜訊放大器時，大都採用此方法來進行匹配。

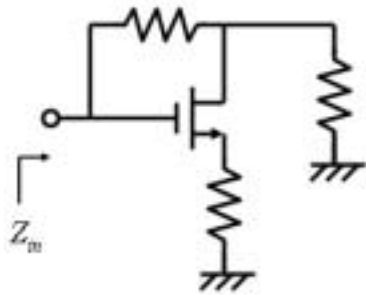


圖 4.10 並聯-串聯式回授架構

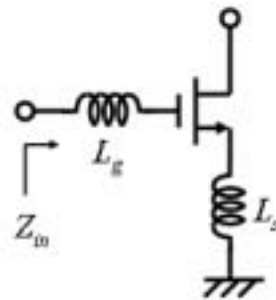


圖 4.11 電感退化性架構

4.2 串接式 (Cascade) 低雜訊放大器

4.2.1 電路設計

此電路採用串接式電路架構，如圖 4.12 所示，本電路架構為兩級共源極(common-source, CS)的放大器串接而成，輸入端的匹配網路由 C_1 、 L_1 、 C_2 所組成；中間的 L_2 、 C_3 為電晶體 M_1 與 M_2 間的匹配網路；輸出端的匹配網路由 L_3 、 C_4 所構成。在電源部分，用外接偏壓電路的設計方式，在高頻訊號的輸入端及輸出端各加入一個電容，以讓高頻信號通過，阻隔直流，並在直流輸入端加入 RF Choke，讓直流通過而阻隔高頻信號，藉此避免高頻訊號與直流間的相互干擾。

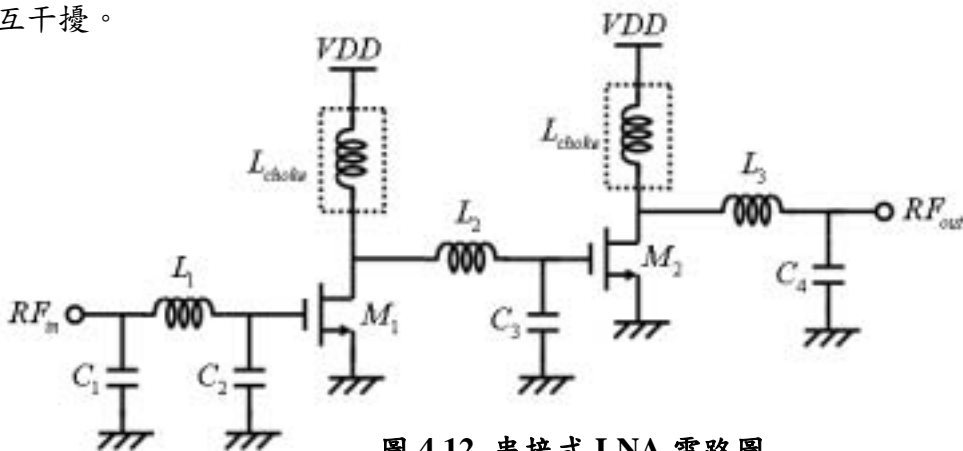


圖 4.12 串接式 LNA 電路圖

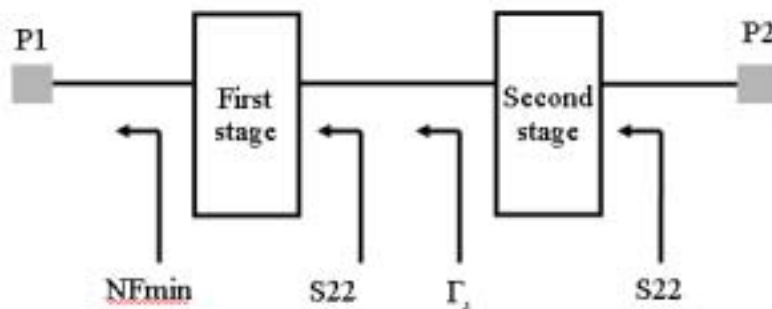


圖 4.13 串接式 LNA 匹配示意圖

設計的過程是採單一共源級的工作方式，首先選擇 CMOS 0.25 μm 製程所提供的電晶體高頻 NMOS 模型(W/L=160 μm /0.24 μm)，接著決定操作的偏壓點(VDD=1V、 V_{gs} =1V、 I_{ds} =13mA)，並在史密斯圖(smith chart)上觀察有效增益圓(available gain circle)及雜訊圓(noise circle)，選擇所考量的平衡點，並檢查放大器是否穩定。

為了使低雜訊放大器有最小的雜訊指數，所以要將最小雜訊那點匹配到系統 50 歐姆的輸入端，但相對增益就不盡理想。所以需要加上第二級放大器，以得到較大的增益。將第一級的輸出端，匹配到第二級輸入端的反射係數(reflection coefficient, Γ)，最後再把第二級的輸出匹配到系統的 50 歐姆即可，示意圖如 4.13 所示。

最後再將佈局後走線的寄生電容代回電路來模擬，觀察影響的程度，要確保讓電路特性達到所要求的規格，才算是完成設計。此電路的元件列表如表 4-1 所示。

表 4-1 串接式 LNA 元件列表

M ($F_{\text{finger}} \times W \times L$)		L (nH)		C (fF)	
M1	16x10x0.24	L1	2.185	C1	25
M2	16x10x0.24	L2	2.185	C2	225
-	-	L3	2.185	C3	225
-	-	-	-	C4	25

4.2.2 模擬與實驗結果

模擬結果如下：圖 4.14 為輸入端的損耗(S11 \rightarrow -6.4dB)與輸出端的損耗(S22 \rightarrow -26.1dB)；圖 4.15 為輸出的增益(S21 \rightarrow 15dB)與輸入端與輸出端的隔離度(S12 \rightarrow -42.6dB)；圖 4.16 為雜訊指數(NF \rightarrow 3.4dB)；圖 4.17 為互調失真的頻譜圖。

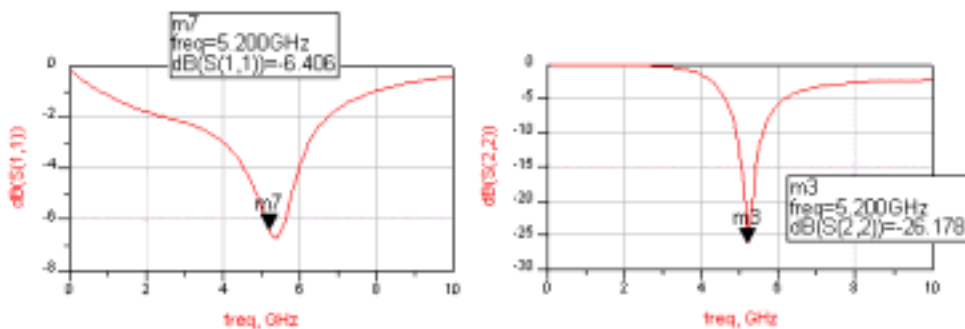


圖 4.14 輸入端與輸出端的損耗(S11、S22)

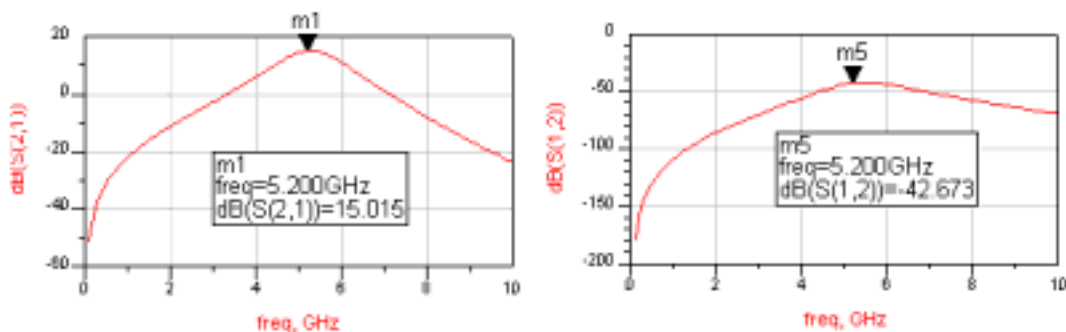


圖 4.15 輸出的增益(S21)與輸入端與輸出端的隔離度(S12)

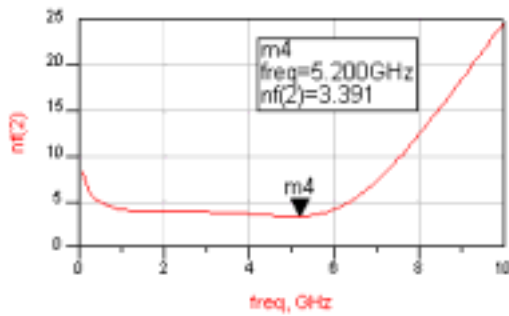


圖 4.16 雜訊指數

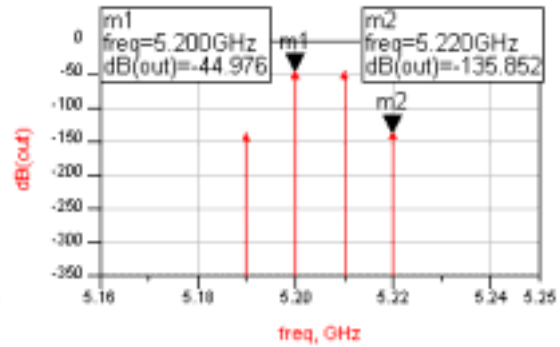


圖 4.17 互調失真的頻譜圖

在量測時，將電源與接地線透過打線(bond-wire)打到 PCB 板時，發現有短路的現象，經過佈局的檢查，利用 laser-cut 的技術反覆驗證，發現晶片上電路的電容 C 呈現短路的情形，導致晶片無法工作。電路佈局照相圖如圖 4.18 所示。

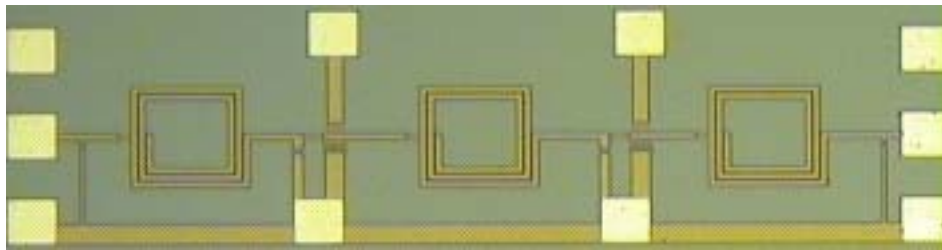


圖 4.18 串接式 LNA 佈局照相圖

4.3 疊接式 (Cascode) 低雜訊放大器 -- 1

4.3.1 電路設計

本電路的設計，是採用 cascode 的架構，以一個共源級(CS)與共閘級(CG)完成整個電路，如圖 4.19 所示。輸入端採用 inductor-degenerated 的匹配方式，當 $L_s \cdot L_g$ 在共振頻率時能達到 input matching，可以做到 noise figure 及 power match。 L_1 、 L_2 與 C_1 為輸出端的匹配網路。在元件選擇方面，採用製程廠所提供的高頻元件模型；電晶體 M1 尺寸為($W/L=80\mu\text{m}/0.24\mu\text{m}$)，在考量雜訊、功率消耗與增益下，偏壓點的選擇為 $V_{DD}=2.5\text{V}$ 、 $V_{gs}=0.8\text{V}$ ，但受限於製程廠所提供的高頻元件模型，故限制了電路的整體特性。元件列表如表 4-2 所示。

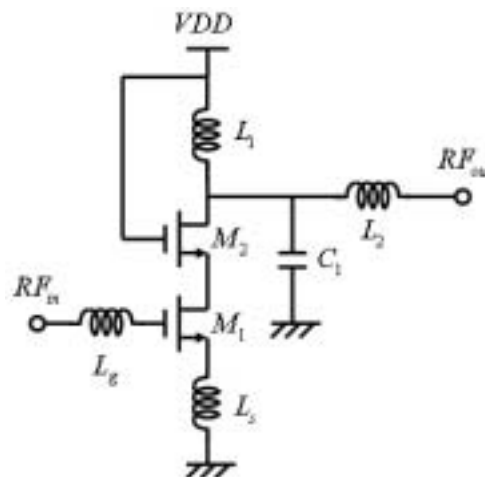


圖 4.19 疊接式放大器

表 4-2 疊接式 LNA-1 元件列表

M (F _{inger} x W x L)		L (nH)		C (fF)	
M1	16x10x0.24	Lg	2.185	C1	225
M2	32x10x0.24	Ls	0.5	-	-
-	-	L1	2.185	-	-
-	-	L2	3.715	-	-

4.3.2 模擬與實驗結果

模擬結果如下：圖 4.20 為輸入端的損耗(S11→-8.9dB)以及輸入端和輸出端的隔離度(S12→-23.3dB)；圖 4.21 為輸出增益(S21→9.3dB)與輸出端損耗(S22→-10.8dB)；圖 4.22 為雜訊指數(NF→3.45 dB) 與互調失真頻譜圖。

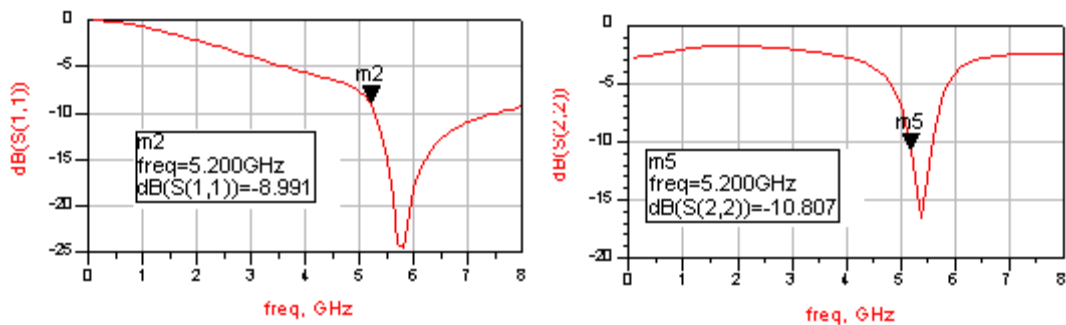


圖 4.20 輸入端損耗以及輸入端和輸出端隔離度

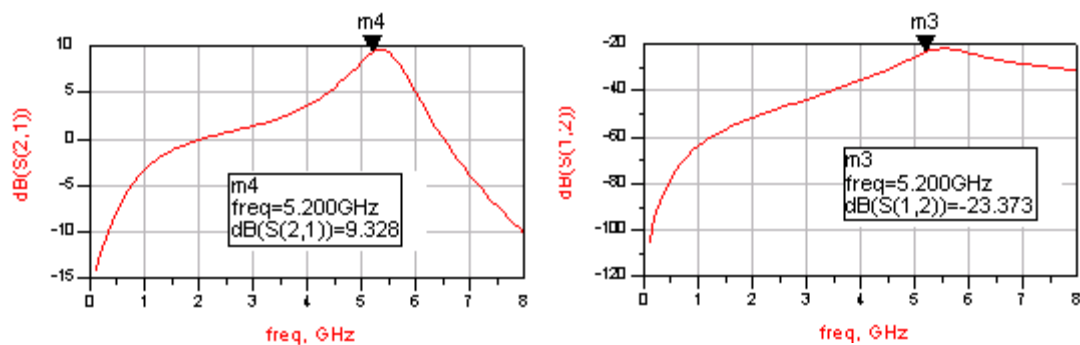


圖 4.21 輸出增益與輸出端損耗

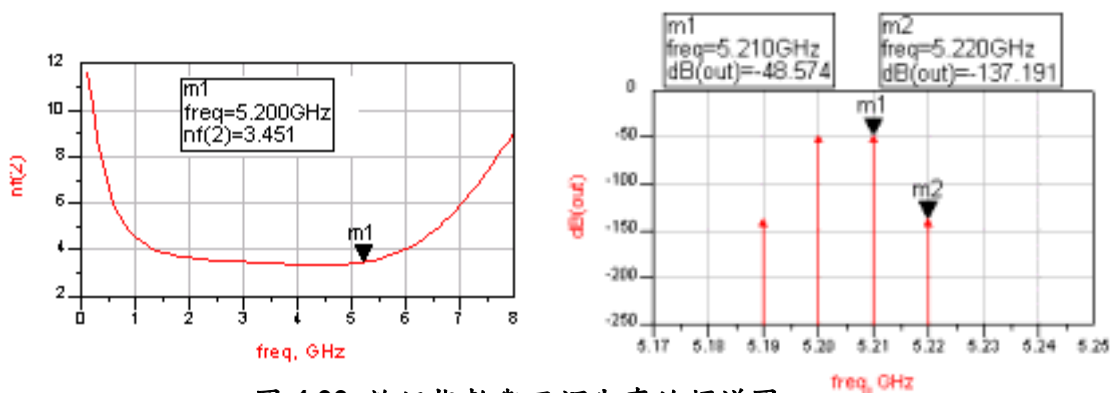


圖 4.22 雜訊指數與互調失真的頻譜圖

此電路佈局圖如圖 4.23 所示，佈局考量將 Ground 環繞晶片四周，減少雜訊從周圍干擾。並預留 RF 輸入、輸出端及直流量測的 PAD。

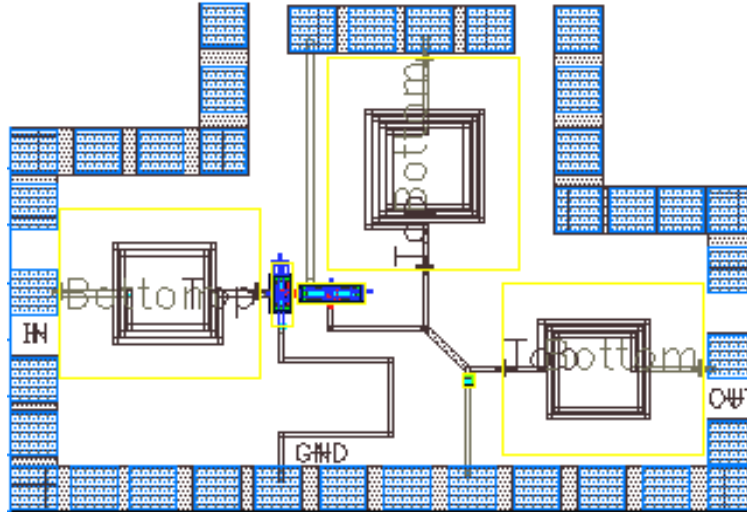


圖 4.23 疊接式 LNA 電路佈局圖

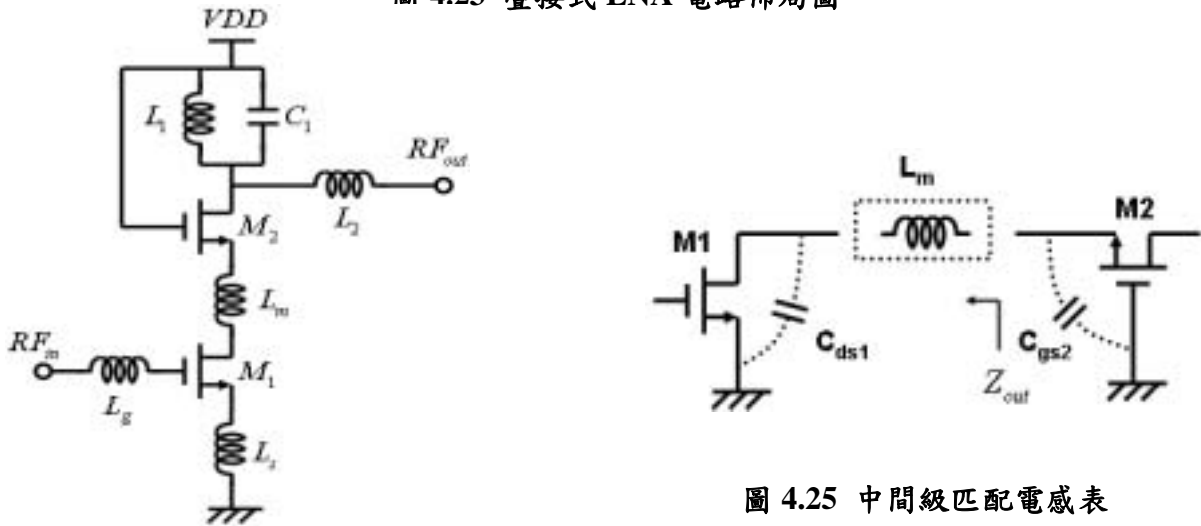


圖 4.25 中間級匹配電感表

圖 4.24 疊接式放大器與中間級匹配電感

4.4 疊階式 (Cascode) 低雜訊放大器 -- 2

4.4.1 電路設計

此電路與上小節相同，都是採用 cascode 的電路架構，主要差異在於，在疊接的電晶體之間多一個匹配電感 L_m ，如圖 4.24 所示。傳統疊接式的低雜訊放大器[8]並未考量共源極與共閘極間的匹配，這樣功率損耗直接降低增益的特性與信號與雜訊比(signal-to-noise ratio; SNR)。加上中間級匹配電感 L_m 可使共源極的輸出阻抗為

$$Z_{out} = j\omega L_m + \frac{1}{j\omega C_{ds1}} + \frac{g_{m1} L_s}{C_{ds1}} \quad (4.11)$$

中間級匹配電感 L_m (圖 4.25)可抵消寄生的共源極輸出端電容(C_{ds1})與共閘極輸入端電容(C_{gs2})效應，使電晶體 M1 到 M2 得到較佳的功率傳輸，增加電壓增益與降低雜訊。調整 L_1, C_1, L_2 使輸出網路也能匹配到 50 Ohm 的特性阻抗。元件列表如表 4-3 所示。

表 4-3 疊接式 LNA-2 元件列表

M (F _{finger} × W × L)		L (nH)		C (fF)	
M1	8x10x0.24	Lg	3.715	C1	25
M2	32x10x0.24	Ls	0.7	-	-
-	-	Lm	2.185	-	-
-	-	L1	3.715	-	-
-	-	L2	3.715	-	-

在此電路中，由於 L_s 的電感很小，因此利用兩種方式來實現，一是採用晶片(on-chip)電感並聯的方式；二是使用打線(bond-wire)電感，實驗結果如下：

4.4.2 晶片電感並聯模擬與實驗結果

第一種電路實現的方式，是將電路中 L_s 電感採用三顆晶片電感並聯而成，如圖 4.26 佈局照相圖所示，左右兩邊分別為 RF 輸入與輸出端，上面為 DC 探針輸入。圖 4.27 為輸入端損耗 S_{11} (模擬→-17.3dB;量測→-11.5dB)；圖 4.28 為輸入端與輸出端的隔離度 S_{12} (模擬→-24.3dB;量測→-18.5dB)；圖 4.29 為輸出電壓增益 S_{21} (模擬→10.1dB;量測→7dB)；圖 4.30 為輸出端損耗 S_{22} (模擬→-27.9dB;量測→-10.5dB)；圖 4.31 為雜訊指數 NF (模擬→4.6dB;量測→5.86dB)；圖 4.32 為壓縮增益圖。

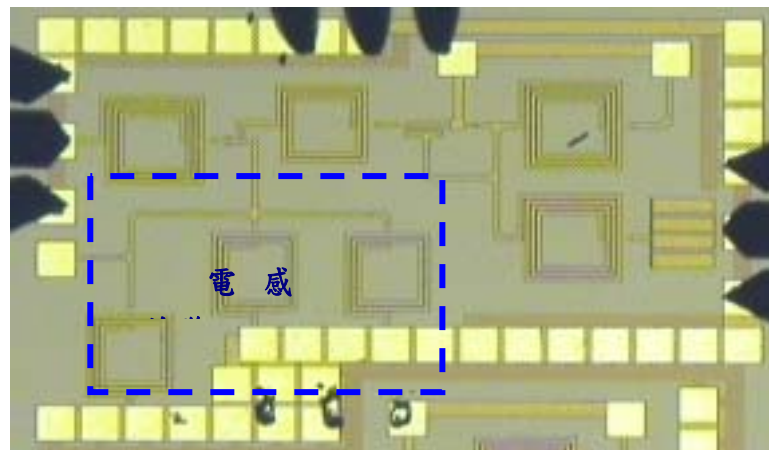


圖 4.26 佈局照相圖-晶片電感並聯

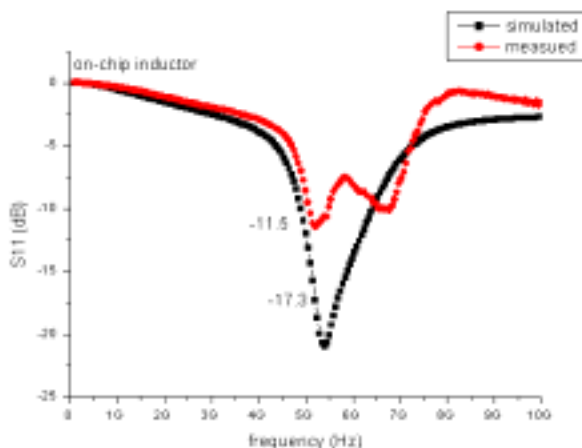
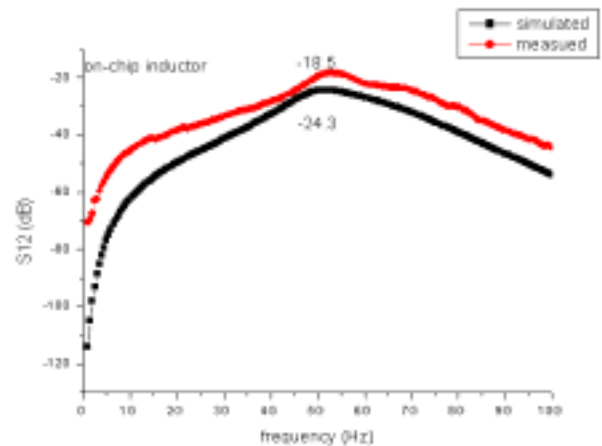


圖 4.27 輸入端損耗圖



4.28 輸入端與輸出端的隔離度

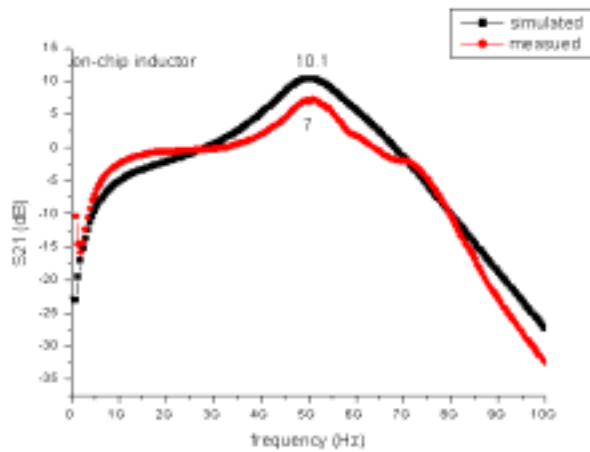


圖 4.29 輸出電壓增益

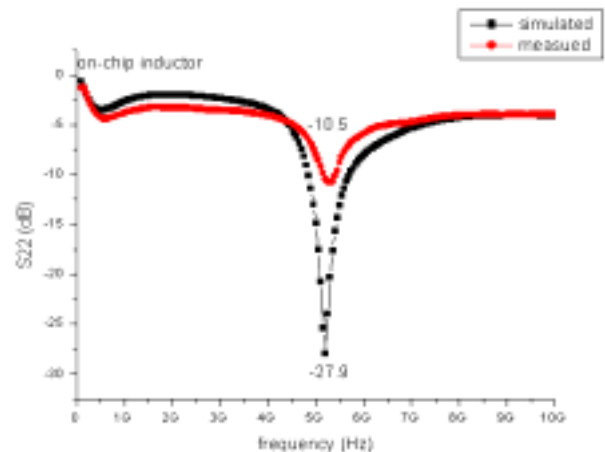


圖 4.30 輸出端損耗

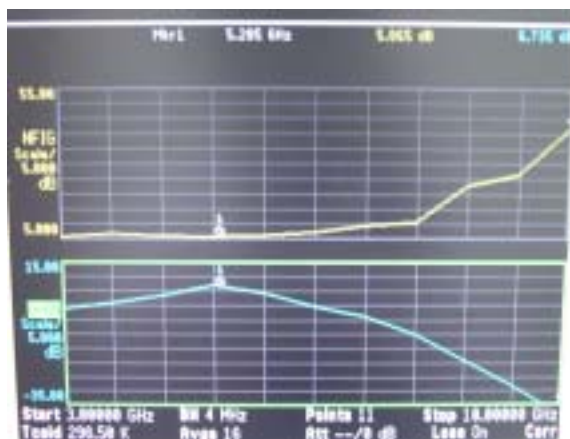


圖 4.31 雜訊指數 \rightarrow 5.86dB



圖 4.32 增益壓縮圖 \rightarrow -1 dBm

4.4.3 打線電感模擬與實驗結果

第二種電路實現的方式，是採用打線電感，如圖 4.33 佈局照相圖下方，電路中的 L_s 由六條打線並聯而成，右下方的兩條線做為地線，用來連接使晶片的地與打線的地電位相同。左右兩邊分別為 RF 輸入與輸出端，上面為 DC 探針輸入。圖 4.34 為輸入端損耗 S_{11} (模擬 \rightarrow -17.3dB; 量測 \rightarrow -9.3dB)；圖 4.35 為輸入端與輸出端的隔離度 S_{12} (模擬 \rightarrow -24.3dB; 量測 \rightarrow -16.9dB)；圖 4.36 為輸出電壓增益 S_{21} (模擬 \rightarrow 10.1dB; 量測 \rightarrow 8.3dB)；圖 4.37 為輸出端損耗 S_{22} (模擬 \rightarrow -27.9dB; 量測 \rightarrow -5.9dB)；圖 4.38 為雜訊指數 NF (模擬 \rightarrow 4.6dB; 量測 \rightarrow 5.74dB)；圖 4.39 為增益壓縮圖。

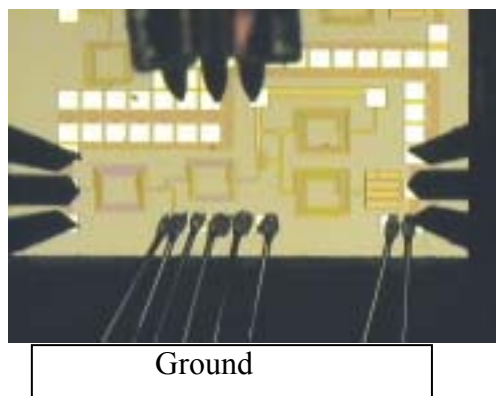


圖 4.33 打線電感示意圖

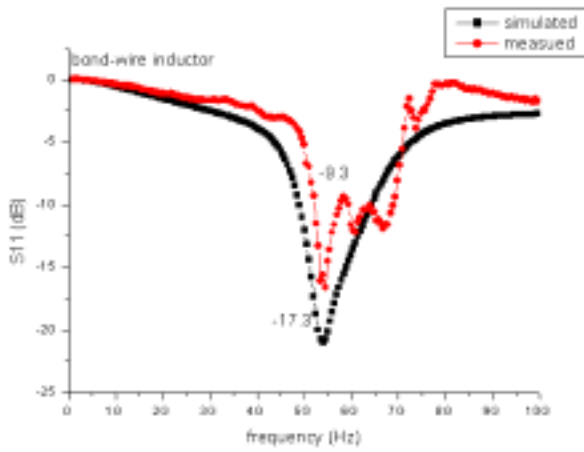


圖 4.35 輸入端損耗

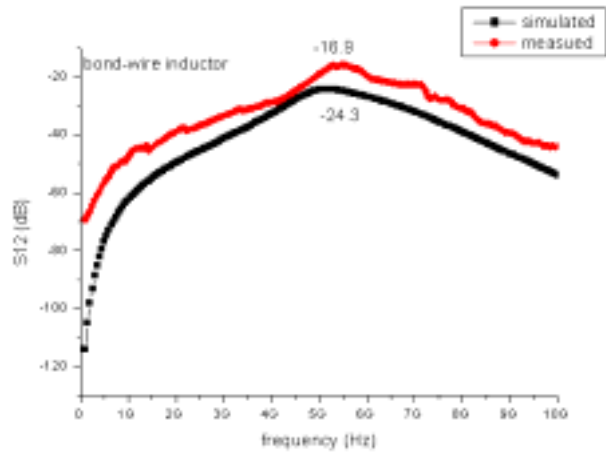


圖 4.36 輸入端與輸出端的隔離度

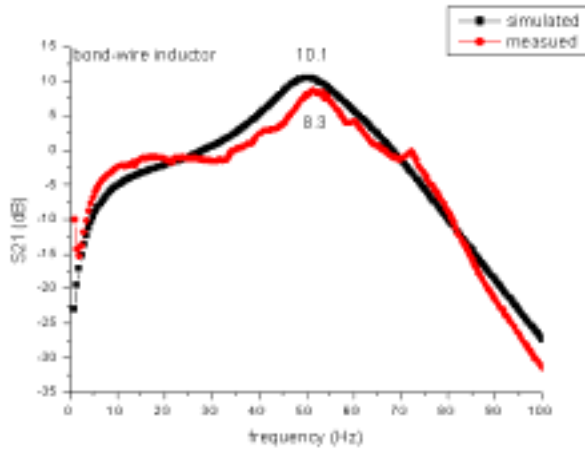


圖 4.37 輸出電壓增益

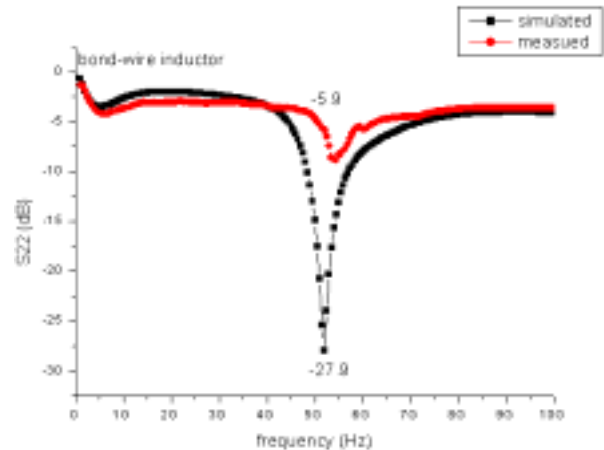


圖 4.38 輸出端損耗

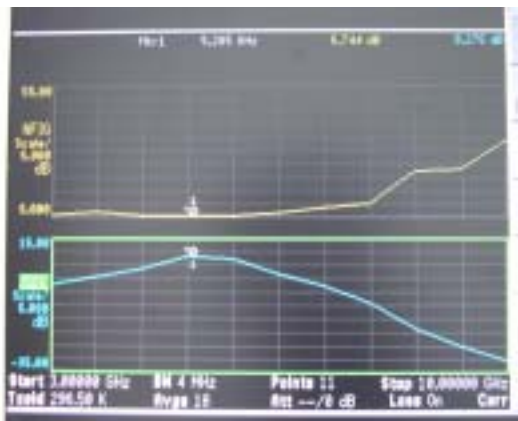


圖 4.39 雜訊指數 \rightarrow 5.74dB



圖 4.40 增益壓縮圖 \rightarrow -2 dBm

4.6 結語

本章針對 LNA 電路利用不同架構以及不同被動元件的實現方式進行探討。其中在不同被動元件的實現方面，電感的 Q 值影響整個電路的特性。利用 bond-wire 電感來匹配，會較晶片上電感匹配來的好。綜合上述幾種方式，整理如下：表 4-4 列出不同架構 LNA 的比較；表 4-5 比較晶片電感與打線電感在疊接式 LNA 中的特性比較；表 4-6 為近年來在 5.2GHz 頻段相關研究的比較。

表 4-4 不同架構 LNA 的比較

Topology	Voltage (V)	NF (dB)	Gain (dB)	S11 (dB)	S12 (dB)	S22 (dB)	P _{1dB} (dBm)	current (mA)	Power (mW)
Cascade	1	3.4	15	-6.4	-42.6	-26.1	0.4	13	26
Cascode	2.5	3.45	9.3	-8.9	-23.3	-10.8	-4	6.32	15.8

表 4-5 晶片電感與打線電感在疊接式 LNA 中的量測結果

Cascode LNA	Voltage (V)	NF (dB)	Gain (dB)	S11 (dB)	S12 (dB)	S22 (dB)	P _{1dB} (dBm)	current (mA)	Power (mW)
On-chip L	1.5	5.8	7	-11.5	-18.5	-10.5	-1	5	7.5
Bond-wire L	1.5	5.7	8.3	-9.3	-16.9	-5.9	-2	5	7.5

表 4-6 近年來在 5.2GHz 頻段相關的研究的比較

Process CMOS	Freq. (GHz)	NF (dB)	Gain (dB)	P _{1dB} (dBm)	P _{DC} (mW)	Ref.
0.25 μ m CMOS	5.2	5.7	8.3	-2	7.5	This work
0.24 μ m CMOS	5.2	2.5	16	-	48	[28]
0.24 μ m CMOS	5.2	4.8	18	-	7.2	[29]
0.35 μ m CMOS	5.8	3.2	7.2	-3.7	20	[2]
0.35 μ m CMOS	5.2	4.08	9.48	-8	13.4	[3]
0.35 μ m CMOS	5.2	3	10	-8.3	10	[6]
0.35 μ m CMOS	5.2	2.45	19.3	-	26.4	[7]
0.4 μ m CMOS	5.2	5.6	7.8	-	12.4	[30]

伍、結論

在本論文中採用 0.25 μ m CMOS RF model 來製作低雜訊放大器。採用由上而下(top-down)的設計考量，由下而上(bottom-up)的設計方式，採用疊接式電路架構，利用不同形式的被動元件電感來設計電路，來得到符合系統需求的電路。

在並聯晶片電感與使用打線電感的低雜訊放大器，比較量測結果，在 5.2GHz 時，相同的電源偏壓下，使用晶片電感的低雜訊放大器增益為 7dB、雜訊指數為 5.8dB；若採用打線電感增益增加 1.3dB、雜訊指數減少 0.1dB，雖然沒有顯著的差異，在電路特性上利用打線電感的確會比使用晶片電感來的好。晶片電感雖然在製作與整合上佔有優勢，但其元件的損耗嚴重，影響電路的特性，也增加在設計上的困難度。然而打線電感雖可以避開基板的損耗，但卻增加許多不確定，增加系統整合的困難，降低良率，因此在產品考量上是不可行的。

本論文目前僅是驗證利用不同被動元件的形式來實現低雜訊放大器，未來的工作，會以此經驗為基礎，再深入的探討不同電路的結果，包括整合低雜訊放大器、混波器、壓控震盪器、頻率合成器，甚至功率放大器，功率切換器等等，最後擴展延伸到整個射頻前端電路，將整個射頻前端電路與基頻電路整合在同一系統晶片之內。

參考文獻

- [1] Wireless LAN medium access control (MAC) and physical layer (PHY) specifications: High-speed physical layer in the 5-GHz band, IEEE std. 802.11a, Part 11, Sep. 1999
- [2] R. C. Liu, C. R. Lee, H. Wang and C. K. Wang, "A 5.8-GHz Two-Stage High-Linearity Low-Voltage Low Noise Amplifier in a 0.35- μ m CMOS technology", IEEE Radio Frequency Integrated Circuits Symposium, p212~p214, 2002.
- [3] C. A. Tsai, W. R. Liou, A. Y. Wu and M. L. Yeh, "A 5.2GHz Low-Voltage Low Noise Amplifier with 0.35 μ m CMOS technology", VLSI/CAD, Taiwan, p411~p414, 2002
- [4] W. R. Liou, C. A. Tsai, A. Y. Wu and M. L. Yeh, "A 1.5V, 2.4GHz CMOS RF Receiver Front end", VLSI/CAD, Taiwan, p47~p50, 2002
- [5] C. H. Wu, C. C. Tang and S. L. Liu, "Image Rejection Relaxed 5.2GHz CMOS Receiver Front-End", VLSI/CAD, Taiwan, p411~p414, 2002
- [6] H. W. Chiu and S. S. Lu, "A 2.17dB NF, 5 GHz Band Monolithic CMOS LNA with 10mW DC Power Consumption", IEEE VLSI circuits symposium, p226~p229, 2002
- [7] C. Y. Cha and S. G. Lee, "A 5.2-GHz LNA in 0.35- μ m CMOS Utilizing Inter-Stage Series Resonance and Optimizing the Substrate Resistance", IEEE Journal of Solid-State Circuits, vol. 38, NO. 4, p669~p672, April 2003
- [8] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", IEEE Journal of Solid-State Circuits, vol. 32, NO. 5, p745~p759, May 1997
- [9] C. P. Yue and S. S. Wong, "Physical Modeling of Spiral Inductors on Silicon", IEEE Transactions on Electron Devices, vol. 47, NO. 3, p560~p568, March 2000
- [10] M. Pfof, H. M. Rein and T. Holzwarth, "Modeling Substrate Effects in the Design of High-Speed Si-Bipolar IC's", IEEE Journal of Solid-State Circuits, vol. 3, NO. 10, p1493~p1501, October 1996
- [11] J. N. Burghartz, A. E. Ruehli, K. A. Jenkins and M. Soyuer, "Novel Substrate Contact Structure for High-Q Silicon-Integrated Spiral Inductors", IEEE Electron Devices Meeting, p3.2.1~p3.2.4, 1997.
- [12] M. Park, S. Lee, H. K. Yu and K. S. Nam, "Optimization of High Q CMOS-Compatible Microwave Inductors using Silicon CMOS technology", IEEE Radio Frequency Integrated Circuits Symposium, p181~p184, 1997.
- [13] C. P. Yue and S. S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's", IEEE Journal of Solid-State Circuits, vol. 33, NO. 5, p743~p751, May 1998
- [14] Y. E. Chen, D. Bien, D. Heo and J. Laskar, "Q-Enhancement of Spiral Inductor with N⁺-Diffusion Patterned Ground Shields" IEEE MTT Symposium, p1289~ p1292, 2001.
- [15] A. Doufexi, S. Armour, A. Nix and D. Bull, "A Comparison of HIPERLAN/2 and IEEE 802.11a Physical and MAC Layers", Communications and Vehicular Technology Symposium, 2000.
- [16] B. Razavi, "Architectures and circuits for RF CMOS receivers", IEEE Custom Integrated Circuits Conference, p393~p400, 1998.
- [17] B. Razavi, "Design Considerations for Direct-Conversion Receivers", IEEE Trans. Circuit and Systems, Vol. 44, p428~p435, June 1997.
- [18] B. Razavi, "RF IC Design Challenges", Design Automation Conference, 1998.
- [19] A. A. Abidi, "Direct-conversion Radio Transceivers for Digital Communications", IEEE Journal of Solid-State Circuits, vol.30, No.12, December 1995.
- [20] J. Crols and M. S. J. Steyaert, "A Single-Chip 900MHz CMOS Receiver Front-End with a High Performance Low-IF Topology", IEEE Journal of Solid-State Circuits, Vol. 30, NO. 12, p1483~p1491, December 1995.
- [21] B. Razavi, "Design of analog CMOS Integrated Circuits", McGraw-Hill Education, 2000
- [22] 呂學士編譯, 本城何彥原著, "微波通訊半導體電路", 全華科技股份有限公司, 2001

- [23] K. Chang, I. Bahl and V. nair, "RF and Microwave Circuit and Component Design for Wireless System", A John Wiley & Sons, INC. 2002.
- [24] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuit", Cambridge University Press, 1998.
- [25] B. Razavi, "RF Microelectronics", Prentice-Hall , 1997.
- [26] R. G. Arnold, C. C. Faulkner and D. J. Pedder, "Silicon MCM-D Technology for RF Integration", IEEE Multichip Module Conference, p340~p344, 1997.
- [27] Guillermo Gonzaley, "Microwave Transistor Amplifiers analysis and Design second edition", Prentice Hall, 1997
- [28] E. H. Westerwick, " A 5 GHz band CMOS low noise amplifier with a 2.5 dB noise figure ",VLSI Technology, Systems, and Applications, p224 ~p227, 2001.
- [29] H. Samavati, H. R. Rategh and T. H. Lee,"A 5GHz CMOS wireless LAN receiver front end", IEEE Journal of Solid-State Circuits, Vol. 35, No. 5, p765~ p772, May 2000.
- [30] C. C. Tang and S. I. Liu, "Low voltag CMOS low-noise amplifier using planar-interleaved transformer", Electron. Letter, Vol. 37, No. 8, p497~498, April 2001.